

Docket No.: 60188-813

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Yoshito DATE, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: April 02, 2004	:	Examiner: Unknown
	:	
For: CURRENT DRIVER AND DISPLAY DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

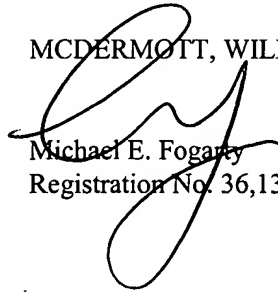
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-281848, filed July 29, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: April 2, 2004



60188-813

DATE, et al.

April 2, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 7 月 2 9 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 2 8 1 8 4 8
[ST. 10/C]: [J P 2 0 0 3 - 2 8 1 8 4 8]

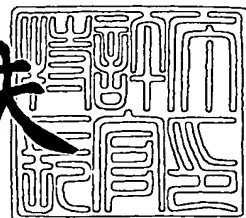
出 願 人
Applicant(s): 松下電器産業株式会社



2 0 0 4 年 3 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 5 7 8 1



【書類名】 特許願
【整理番号】 5038450012
【提出日】 平成15年 7月29日
【あて先】 特許庁長官 殿
【国際特許分類】 G09G 3/00
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 伊達 義人
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 大森 哲郎
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 道正 志郎
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 水木 誠
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100077931
 【弁理士】
 【氏名又は名称】 前田 弘
【選任した代理人】
 【識別番号】 100094134
 【弁理士】
 【氏名又は名称】 小山 廣毅
【選任した代理人】
 【識別番号】 100110939
 【弁理士】
 【氏名又は名称】 竹内 宏
【選任した代理人】
 【識別番号】 100113262
 【弁理士】
 【氏名又は名称】 竹内 祐二
【選任した代理人】
 【識別番号】 100115059
 【弁理士】
 【氏名又は名称】 今江 克実
【選任した代理人】
 【識別番号】 100117710
 【弁理士】
 【氏名又は名称】 原田 智雄
【手数料の表示】
 【予納台帳番号】 014409
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1



【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0217869

【書類名】 特許請求の範囲

【請求項 1】

半導体チップ上に集積化された電流駆動装置であって、

ソースに電源電圧が供給された第 1 導電型の第 1 の電流分配用 MISFET と、

上記第 1 の電流分配用 MISFET のドレインにドレインが接続され、且つドレインとゲート電極が互いに接続された第 2 導電型の第 1 の電流入力用 MISFET と、

上記第 1 の電流入力用 MISFET とカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第 2 導電型の第 2 の電流入力用 MISFET と、

上記第 1 の電流入力用 MISFET のゲート電極と上記第 2 の電流入力用 MISFET のゲート電極との間を結ぶ第 1 のバイアス線と、

上記第 1 の電流入力用 MISFET 及び第 2 の電流入力用 MISFET とカレントミラー回路を構成し、ゲート電極が上記第 1 のバイアス線に接続された電流源用 MISFET を含む複数の電流供給部と、

上記第 1 の電流分配用 MISFET とカレントミラー回路を構成し、ドレインが上記第 2 の電流入力用 MISFET のドレインに接続された第 1 導電型の第 2 の電流分配用 MISFET と、

上記第 1 の電流分配用 MISFET 及び上記第 2 の電流分配用 MISFET とカレントミラー回路を構成し、上記第 2 の電流分配用 MISFET の近傍に配置された第 3 の電流分配用 MISFET と、

上記第 3 の電流分配用 MISFET のドレインに接続された第 1 の電流出力端子とを備えている電流駆動装置。

【請求項 2】

請求項 1 に記載の電流駆動装置において、

上記第 2 の電流分配用 MISFET と上記第 3 の電流分配用 MISFET との距離は $200\mu\text{m}$ 以下である、電流駆動装置。

【請求項 3】

請求項 1 または 2 に記載の電流駆動装置において、

上記第 2 の電流分配用 MISFET のゲート電極及び上記第 3 の電流分配用 MISFET のゲート電極に接続されたバイアス電源供給端子をさらに備えている、電流駆動装置。

【請求項 4】

請求項 1 ～ 3 のうちいずれか 1 つに記載の電流駆動装置において、

上記第 2 の電流分配用 MISFET 及び上記第 3 の電流分配用 MISFET とカレントミラーを構成し、上記半導体チップのうち上記第 3 の電流分配用 MISFET との距離が $200\mu\text{m}$ 以下の領域上に設けられた少なくとも 1 つの第 1 導電型の追加電流分配用 MISFET と、

上記追加電流分配用 MISFET のそれぞれに接続された追加電流出力端子とをさらに備えている、電流駆動装置。

【請求項 5】

請求項 1 ～ 3 のうちいずれか 1 つに記載の電流駆動装置において、

上記第 1 の電流分配用 MISFET と上記第 1 の電流入力用 MISFET との間に介設された第 1 導電型の第 1 のカスコード MISFET と、

上記第 2 の電流分配用 MISFET と上記第 2 の電流入力用 MISFET との間に介設された第 1 導電型の第 2 のカスコード MISFET と、

上記第 3 の電流分配用 MISFET と第 1 の電流出力端子との間に介設された第 1 導電型の第 3 のカスコード MISFET と、

第 1 のカスコード MISFET、第 2 のカスコード MISFET、及び第 3 のカスコード MISFET の各ゲート電極に共通に接続され、一端に第 1 の定電圧電源が接続された第 1 のゲートバイアス線と

をさらに備えている、電流駆動装置。

【請求項 6】

請求項 1～5 のうちいずれか 1 つに記載の電流駆動装置において、

上記第 1 の電流分配用 M I S F E T と上記第 1 の電流入力用 M I S F E T との間に介設され、ドレインが上記第 1 の電流入力用 M I S F E T のゲート電極に接続された第 2 導電型の第 4 のカスコード M I S F E T と、

上記第 2 の電流分配用 M I S F E T と上記第 2 の電流入力用 M I S F E T との間に介設され、ドレインが上記第 2 の電流入力用 M I S F E T のゲート電極に接続された第 2 導電型の第 5 のカスコード M I S F E T と、

上記電流源用 M I S F E T のそれぞれのドレインに接続された第 6 のカスコード M I S F E T と、

上記第 4 のカスコード M I S F E T のゲート電極、上記第 5 のカスコード M I S F E T のゲート電極、及び上記第 6 のカスコード M I S F E T の各ゲート電極に共通に接続され、一端に第 2 の定電圧電源が接続された第 2 のゲートバイアス線とをさらに備えている、電流駆動装置。

【請求項 7】

請求項 1～6 のうちいずれか 1 つに記載の電流駆動装置において、

上記第 1 の電流分配用 M I S F E T と上記第 1 の電流入力用 M I S F E T とを接続する配線に接続された電流入力用端子をさらに備え、

上記第 1 の電流分配用 M I S F E T の W/L 比 a と上記第 1 の電流入力用 M I S F E T の W/L 比 b との比を a/b 、上記第 2 の電流分配用 M I S F E T の W/L 比 c と上記第 2 の電流入力用 M I S F E T の W/L 比 d との比を c/d 、上記第 3 の電流分配用 M I S F E T の W/L 比 e と上記第 1 の電流入力用 M I S F E T の W/L 比 b との比を e/b とすると、 a/b 、 c/d 、及び e/b の値はほぼ等しい、電流駆動装置。

【請求項 8】

半導体チップ上に集積化された電流駆動装置であって、

第 1 の電流入力端子と、

ドレインが上記第 1 の電流入力端子に接続され、且つドレインとゲート電極とが互いに接続された第 1 導電型の第 1 の電流入力用 M I S F E T と、

上記電流入力用 M I S F E T とカレントミラー回路を構成する第 1 導電型の電流源用 M I S F E T を含む複数の電流供給部と、

上記第 1 の電流入力用 M I S F E T のゲート電極と上記電流源用 M I S F E T のゲート電極とに共通に接続されるバイアス線とを備えている電流駆動装置。

【請求項 9】

請求項 8 に記載の電流駆動装置において、

上記複数の電流供給部を挟んで上記第 1 の電流入力用 M I S F E T とカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第 1 導電型の第 2 の電流入力用 M I S F E T と、

バイアス電源入力端子と、

ゲート電極が上記バイアス電源入力端子に接続され、ドレインが上記第 2 の電流入力用 M I S F E T のドレインに接続された第 2 導電型の第 1 の電流分配用 M I S F E T と、

上記第 1 の電流分配用 M I S F E T とカレントミラー回路を構成するとともに、上記半導体チップのうち上記第 1 の電流分配用 M I S F E T からの距離が $200\mu\text{m}$ 以下の領域上に設けられた第 2 の電流分配用 M I S F E T と、

上記第 2 の電流分配用 M I S F E T のドレインに接続された第 1 の電流出力端子と、

上記第 2 の電流分配用 M I S F E T のゲート電極に接続された第 1 のバイアス電源出力端子と

をさらに備えている、電流駆動装置。

【請求項 10】

請求項 8 に記載の電流駆動装置において、

上記複数の電流供給部を挟んで上記第 1 の電流入力用 M I S F E T とカレントミラー回

路を構成し、ドレインとゲート電極が互いに接続された第1導電型の第3の電流入力用MISFETと、

上記第3の電流入力用MISFETのドレインに接続された第2の電流入力端子とを備えている、電流駆動装置。

【請求項11】

請求項8に記載の電流駆動装置において、

上記第1の電流入力用MISFETと上記第1の第1の電流入力端子との間に介設された第1導電型の第1のカスコードMISFETと、

上記電流源用MISFETのそれぞれのドレインに接続された第2のカスコードMISFETと、

上記第1のカスコードMISFETのゲート電極及び上記第2のカスコードMISFETの各ゲート電極に共通に接続され、一端に定電圧電源が接続されたゲートバイアス線とをさらに備えている、電流駆動装置。

【請求項12】

請求項8に記載の電流駆動装置において、

上記バイアス線のうち、上記第1の電流入力用MISFETのゲート電極と上記電流源用MISFETのゲート電極との間にゲート電極が接続された第1導電型の電流出力用MISFETと、

上記電流出力用MISFETのドレインに接続された電流電圧変換手段と、

上記複数の電流供給部を挟んで上記第1の電流入力用MISFETとカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第1導電型の第4の電流入力用MISFETと、

ゲート電極が上記電流電圧変換手段に接続され、且つドレインが上記第4の電流入力用MISFETに接続された第3の電流分配用MISFETと、

第3の電流分配用MISFETとカレントミラー回路を構成し、上記半導体チップのうち上記第3の電流分配用MISFETからの距離が $200\mu\text{m}$ 以下の領域上に設けられた第4の電流分配用MISFETと、

上記第4の電流分配用MISFETのドレインに接続された第2の電流出力端子とを備えている、電流駆動装置。

【請求項13】

請求項12に記載の電流駆動装置において、

上記電流電圧変換手段は、上記第3の電流分配用MISFET及び上記第4の電流分配用MISFETとカレントミラー回路を構成し、ドレインとゲート電極とが互いに接続され、且つドレインが上記電流出力用MISFETに接続された第5の電流分配用MISFETである、電流駆動装置。

【請求項14】

半導体チップ上に集積化された電流駆動装置であって、

ソースに電源電圧が供給された第1導電型の第1の電流分配用MISFETと、

上記第1の電流分配用MISFETのドレインにドレインが接続され、且つドレインとゲート電極が互いに接続された第2導電型の電流入力用MISFETと、

上記電流入力用MISFETとカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第2導電型の電流入出力用MISFETと、

上記電流入力用MISFETのゲート電極と上記電流入出力用MISFETのゲート電極との間を結ぶ第1のバイアス線と、

上記電流入力用MISFET及び電流入出力用MISFETとカレントミラー回路を構成し、ゲート電極が上記第1のバイアス線に接続された電流源用MISFETを含む複数の電流供給部と、

ドレインが上記電流入出力用MISFETのドレインに接続された第1導電型の第2の電流分配用MISFETと、

少なくとも上記第2の電流分配用MISFETのゲート電極及びソースに接続され、上

記半導体チップのうち上記第2の電流分配用MISFETからの距離が $200\mu\text{m}$ 以下の領域上に配置された電流電圧変換手段と、

上記電流電圧変換手段に接続される電流入出力端子とを備えている電流駆動装置。

【請求項15】

請求項14に記載の電流駆動装置において、

上記第1の電流分配用MISFETと上記第2の電流分配用MISFETとはカレントミラー回路を構成しており、

上記電流電圧変換手段は、上記第1の電流分配用MISFETのゲート電極及びソースに接続されている、電流駆動装置。

【請求項16】

請求項14または15に記載の電流駆動装置において、

上記半導体チップのうち上記電流電圧変換手段からの距離が $200\mu\text{m}$ 以下の領域上に配置される負荷回路と、

上記負荷回路に接続された電流出力端子とをさらに備えている、電流駆動装置。

【請求項17】

請求項14～16のうちいずれか1つに記載の電流駆動装置において、

上記負荷回路は、ドレインとゲート電極が互いに接続された第1導電型のMISFETか、抵抗体かのいずれかである、電流駆動装置。

【請求項18】

請求項14～17のうちいずれか1つに記載の電流駆動装置において、

上記電流電圧変換手段は、ドレインとゲート電極が互いに接続された第1導電型のMISFET、抵抗体、バッファのうちから選ばれた1つである、電流駆動装置。

【請求項19】

第1の電流駆動装置が設けられた第1の半導体チップと、上記第1の半導体チップに隣接して配置され、第2の電流駆動装置が設けられた第2の半導体チップとを備えた表示装置であって、

上記第1の電流駆動装置は、

ソースに電源電圧が供給された第1導電型の第1の電流分配用MISFETと、

上記第1の電流分配用MISFETのドレインにドレインが接続され、且つドレインとゲート電極が互いに接続された第2導電型の第1の電流入力用MISFETと、

上記第1の電流入力用MISFETとカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第2導電型の第2の電流入力用MISFETと、

上記第1の電流入力用MISFETのゲート電極と上記第2の電流入力用MISFETのゲート電極との間を結ぶ第1のバイアス線と、

上記第1の電流入力用MISFET及び第2の電流入力用MISFETとカレントミラー回路を構成し、ゲート電極が上記第1のバイアス線に接続された第1の電流源用MISFETを含む複数の第1の電流供給部と、

上記第1の電流分配用MISFETとカレントミラー回路を構成し、ドレインが上記第2の電流入力用MISFETのドレインに接続された第1導電型の第2の電流分配用MISFETと、

上記第1の電流分配用MISFET及び上記第2の電流分配用MISFETとカレントミラー回路を構成し、上記第2の電流分配用MISFETからの距離が $200\mu\text{m}$ 以下の領域上に配置された第3の電流分配用MISFETと、

上記第3の電流分配用MISFETのドレインに接続された第1の電流出力端子とを有し、

上記第2の電流駆動装置は、

上記第1の電流出力端子に接続された第1の電流入力端子と、

ドレインが上記第1の電流入力端子に接続され、且つドレインとゲート電極とが互いに

接続された第2導電型の第3の電流入力用MISFETと、

上記第3の電流入力用MISFETとカレントミラー回路を構成する第2の電流源用MISFETを含む複数の第2の電流供給部と、

上記第3の電流入力用MISFETのゲート電極と上記第2の電流源用MISFETのゲート電極とに共通に接続される第2のバイアス線とを有している、表示装置。

【請求項20】

請求項19に記載の表示装置において、

上記第1の電流分配用MISFETの W/L 比 a と上記第1の電流入力用MISFETの W/L 比 b との比を a/b 、上記第2の電流分配用MISFETの W/L 比 c と上記第2の電流入力用MISFETの W/L 比 d との比を c/d 、上記第3の電流分配用MISFETの W/L 比 e と上記第3の電流入力用MISFETの W/L 比 f との比を e/f とすると、 a/b 、 c/d 、及び e/f の値はほぼ等しい、表示装置。

【請求項21】

請求項19または20に記載の表示装置において、

上記第1の電流駆動装置は、

上記第2の電流分配用MISFETのゲート電極及び上記第3の電流分配用MISFETのゲート電極に接続されたバイアス電源供給端子をさらに備え、

上記第2の電流駆動装置は、

上記複数の第2の電流供給部を挟んで上記第3の電流入力用MISFETとカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第2導電型の第4の電流入力用MISFETと、

上記バイアス電源供給端子に接続されたバイアス電源入力端子と、

ゲート電極が上記バイアス電源入力端子に接続され、ドレインが上記第4の電流入力用MISFETのドレインに接続された第1導電型の第4の電流分配用MISFETとをさらに備えている、表示装置。

【請求項22】

請求項19または20に記載の表示装置において、

上記第1の電流駆動装置は、

上記第2の電流分配用MISFET及び上記第3の電流分配用MISFETとカレントミラーを構成し、上記第1の半導体チップのうち上記第3の電流分配用MISFETとの距離が $200\mu\text{m}$ 以下の領域上に設けられた少なくとも1つの第1導電型の追加電流分配用MISFETと、

上記追加電流分配用MISFETのそれぞれに接続された追加電流出力端子とをさらに備え、

上記第2の電流駆動装置は、

上記複数の第2の電流供給部を挟んで上記第3の電流入力用MISFETとカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第2導電型の第5の電流入力用MISFETと、

上記第5の電流入力用MISFETのドレインと、上記追加電流出力端子とに接続された第2の電流入力端子とを備えている、表示装置。

【請求項23】

第1の電流駆動装置が設けられた第1の半導体チップと、上記第1の半導体チップに隣接して配置され、第2の電流駆動装置が設けられた第2の半導体チップとを備えた表示装置であって、

上記第1の電流駆動装置は、

ソースに電源電圧が供給された第1導電型の第1の電流分配用MISFETと、

上記第1の電流分配用MISFETのドレインにドレインが接続され、且つドレインとゲート電極が互いに接続された第2導電型の第1の電流入力用MISFETと、

上記第1の電流入力用MISFETとカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第2導電型の電流入出力用MISFETと、

上記第1の電流入力用MISFETのゲート電極と上記電流入出力用MISFETのゲート電極との間を結ぶ第1のバイアス線と、

上記電流入力用MISFET及び電流入出力用MISFETとカレントミラー回路を構成し、ゲート電極が上記第1のバイアス線に接続された電流源用MISFETを含む複数の第1の電流供給部と、

ドレインが上記電流入出力用MISFETのドレインに接続された第1導電型の第2の電流分配用MISFETと、

上記第2の電流分配用MISFETのゲート電極及びソースと参照電源とに接続され、上記半導体チップのうち上記第2の電流分配用MISFETからの距離が $200\mu\text{m}$ 以下の領域上に配置された第1の電流電圧変換手段と、

上記電流電圧変換手段に接続される電流入出力端子とを備え、

上記第2の電流駆動装置は、

上記電流入出力端子に接続された電流入力端子と、

上記電流入力端子を介して上記第1の電流電圧変換手段と直列に接続された第2の電流電圧変換手段と、

ソース及びゲート電極が上記第2の電流電圧変換手段に接続された第1導電型の第3の電流分配用MISFETと、

上記第3の電流分配用MISFETのドレインに接続された第2導電型の第2の電流入力用MISFETと、

上記第2の電流入力用MISFETとカレントミラー回路を構成する第2の電流源MISFETを有する複数の第2の電流供給部とを備えている、表示装置。

【請求項24】

第1の電流駆動装置が設けられた第1の半導体チップと、上記第1の半導体チップに隣接して配置され、第2の電流駆動装置が設けられた第2の半導体チップとを備えた表示装置であって、

上記第1の電流駆動装置は、

ソースに電源電圧が供給された第1導電型の第1の電流分配用MISFETと、

上記第1の電流分配用MISFETのドレインにドレインが接続され、且つドレインとゲート電極が互いに接続された第2導電型の第1の電流入力用MISFETと、

上記第1の電流入力用MISFETとカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第2導電型の電流入出力用MISFETと、

上記第1の電流入力用MISFETのゲート電極と上記電流入出力用MISFETのゲート電極との間を結ぶ第1のバイアス線と、

上記第1の電流入力用MISFET及び電流入出力用MISFETとカレントミラー回路を構成し、ゲート電極が上記第1のバイアス線に接続された第1の電流源用MISFETを含む複数の第1の電流供給部と、

ドレインが上記電流入出力用MISFETのドレインに接続された第1導電型の第2の電流分配用MISFETと、

上記第2の電流分配用MISFETのゲート電極及びソースと参照電源とに接続され、上記第1の半導体チップのうち上記第2の電流分配用MISFETからの距離が $200\mu\text{m}$ 以下の領域上に配置された第1の電流電圧変換手段と、

上記第1の電流電圧変換手段に接続される第1の電流入力端子と、

上記第1の半導体チップのうち上記第1の電流電圧変換手段からの距離が $200\mu\text{m}$ 以下の領域上に配置される第1の負荷回路と、

上記負荷回路に接続された第1の電流出力端子とを備え、

上記第2の電流駆動装置は、

上記第1の電流入力端子に接続された第2の電流出力端子と、

上記第1の電流入力端子を介して上記第1の電流電圧変換手段と直列に接続された第2の負荷回路と、

上記第1の電流出力端子に接続された第2の電流入力端子と、

上記第 1 の電流出力端子を介して上記第 1 の負荷回路と直列に接続された第 2 の電流電圧変換手段と、

ソース及びゲート電極が上記第 2 の電流電圧変換手段に接続された第 1 導電型の第 3 の電流分配用 M I S F E T と、

上記第 3 の電流分配用 M I S F E T のドレインに接続された第 2 導電型の第 2 の電流入力用 M I S F E T と、

上記第 2 の電流入力用 M I S F E T とカレントミラー回路を構成する第 2 の電流源 M I S F E T を有する複数の第 2 の電流供給部とを備えている、表示装置。

【書類名】 明細書

【発明の名称】 電流駆動装置及び表示装置

【技術分野】

【0001】

本発明は、電流駆動装置に関するものであり、特に、有機EL (Electro Luminescence) パネルなどの表示用ドライバとして好適な電流駆動装置の技術に関する。

【背景技術】

【0002】

近年、有機ELパネルなどのフラットパネルディスプレイについては、大型化、高精細化、薄型・軽量化および低コスト化が進んでいる。一般に、大型・高精細の表示パネルの駆動方式としてアクティブマトリクス方式が好んで用いられる。以下、従来のアクティブマトリクス型表示パネルの表示用ドライバについて説明する。

【0003】

図20は、表示パネルと、表示パネルに接続された表示用ドライバである従来の電流駆動装置の構成を示す回路図である。ここでは、表示パネルは有機ELパネルである。

【0004】

同図に示すように、従来の電流駆動装置は、表示パネル上にマトリクス状に設けられた複数の画素回路1005a1、1005a2、…、1005am（以下、各画素回路を区別しないで呼ぶときは画素回路1005aと称する）のそれぞれに駆動電流を供給するための電流供給部1001a1、1001a2、…、1001an（以下、各電流供給部を区別しないで呼ぶときは電流供給部1001aと称する）と、それぞれの電流供給部1001aに基準電流を供給するための基準電流供給部（バイアス回路）1101とを備えている。なお、本明細書中で「基準電流」とは、基準電流源から流れる所定値の電流を表す他、基準電流源からの電流が、カレントミラー回路によって伝達された電流をも表すものとする。

【0005】

テレビ用表示装置など、表示パネルのサイズが大きい場合、該表示パネルの駆動には、m出力の電流供給部1001aが集積化された半導体チップ（ドライバLSI）が複数枚用いられる。これらの半導体チップ1105は、表示パネルの額縁部に一列に配置されることが多い。

【0006】

画素回路1005a1、1005a2、…、1005anのそれぞれは、信号線を介して電流供給部1001aに接続されているpチャネル型の第1のTFT (Thin-Film-Transistor) 1104と、第1のTFT 1104とカレントミラー回路を構成する第2のTFT 1102と、第2のTFT 1102から供給される電流に応じて発光する有機EL素子1103とを有している。

【0007】

基準電流供給部1101は、一端に電源電圧が供給されたpチャネル型の第1のMISFET 1108と、第1のMISFET 1108に接続され、基準電流を発生させるための抵抗1107と、第1のMISFET 1108とカレントミラー回路を構成するpチャネル型の第2のMISFET 1109と、第2のMISFET 1109に接続され、基準電流を電流供給部1001aに伝達するためのnチャネル型の電流入力用MISFET 1110とを有している。なお、図14では基準電流供給部1101が半導体チップ1105の外部に設けられている例を示しているが、基準電流供給部1101は半導体チップ1105上に設けられていてもよい。なお、本明細書中では、表示装置内に半導体チップ1105が複数枚並べられている場合に、基準電流を他の半導体チップに供給する半導体チップを「マスターチップ」と称し、「マスターチップ」から基準電流を供給される半導体チップを「スレイブチップ」と称するものとする。

【0008】

電流供給部1001aのそれぞれは、nビットの階調を制御する場合、画素回路100

5aに接続された出力部に対して並列に配置された電流源1112-1、1112-2、…、1112-n（nは正の整数）と、電流源1112-1、1112-2、…、1112-nのそれぞれを流れる電流をオンまたはオフに制御するスイッチ1115-1、1115-2、…、1115-nとを有している。ここで、電流源1112-1、1112-2、…、1112-nのそれぞれは、電流入力用MISFET1110とカレントミラー回路を構成するnチャネル型のMISFETから構成されている。また、スイッチ1115-1、1115-2、…、1115-nのそれぞれは、表示データに基づいて、独立にスイッチング動作をする。

【0009】

以上のような構成によって、電流によって駆動される表示装置の動作を制御することができる。

【特許文献1】特開平11-88072号公報

【特許文献2】特開平11-340765号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、上述の構成を有する表示装置では、画像の表示中に表示むら等、画像表示の乱れが見られることがあった。特に、近年は表示パネルの大画面化はさらに進んでおり、それにつれて長辺方向の長さが10mmから20mmに達するドライバLSIを従来よりも多数配置する必要がでてきた。このような場合、従来の電流駆動装置を設けた半導体チップでは、互いに離れた出力端子間で出力電流のばらつきが生じ、表示画像に明暗部を生じるなど、画質の低下を引き起こすおそれがあった。中でも、異なる半導体チップ1105上に設けられた出力端子間では、同一の半導体チップ1105上に設けられた出力端子間に比べてより出力電流のばらつきが大きくなっていた。

【0011】

本願発明者らが1つの表示装置用ドライバLSI（半導体チップ）の出力端子間で出力電圧がばらつく原因について調べたところ、半導体チップ1105上の電流源1112（図20参照）を構成するMISFETに分配される電流にばらつきがあることが分かった。

【0012】

そもそも、カレントミラー回路は、これを構成するトランジスタの拡散条件が等しく、しきい値 V_t やキャリア移動度に有意差がないことを前提としている。その上で、トランジスタのサイズ比によって電流が分配されるのである。ところが、表示装置用ドライバLSIのチップの長さが10mmから20mmもの長さになると、トランジスタに含まれる不純物の拡散を均一に行なうことが困難になると考えられる。その他にも、トランジスタの位置が異なれば、エッチングのばらつきなど、製造工程によっても表示のばらつきが生じうる。この結果、カレントミラーとなるトランジスタのしきい値にばらつきが生じる。トランジスタのしきい値がばらつくと、同一のゲート電圧を印加した場合に、出力電流に誤差を生じることとなる。通常は、拡散の変動はウエハー面に対し徐々に傾きを持つ。このため、一定の表示データによる均一表示を行った場合でも、表示パネル上で明から暗のグラデーションが発生することになる。

【0013】

また、異なる半導体チップ上の電流駆動装置から出力される電流値にばらつきが生じる。表示装置において、互いに隣接して配置される複数の半導体チップ同士では、拡散条件などの製造条件は、それぞれ異なっていることが多い。従って、電流供給部1001a1の電流源を構成するMISFETの特性のずれは、同一チップ内でのずれに比べて大きくなり、半導体チップ1105ごとに表示むらが視認されやすくなる。そのため、半導体チップ1105間で出力端子からの出力電流のばらつきを抑えることが、表示パネルの表示むらを抑える上で最も有効であると考えられた。

【0014】

本発明の目的は、複数のドライバLSIを用いて表示装置を駆動する場合に、異なるドライバLSI間での出力電流のばらつきを抑制可能な電流駆動装置と、該電流駆動装置を用いた表示装置とを提供することにある。

【課題を解決するための手段】

【0015】

本発明の第1の電流駆動装置は、半導体チップ上に集積化された電流駆動装置であって、ソースに電源電圧が供給された第1導電型の第1の電流分配用MISFETと、上記第1の電流分配用MISFETのドレインにドレインが接続され、且つドレインとゲート電極が互いに接続された第2導電型の第1の電流入力用MISFETと、上記第1の電流入力用MISFETとカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第2導電型の第2の電流入力用MISFETと、上記第1の電流入力用MISFETのゲート電極と上記第2の電流入力用MISFETのゲート電極との間を結ぶ第1のバイアス線と、上記第1の電流入力用MISFET及び第2の電流入力用MISFETとカレントミラー回路を構成し、ゲート電極が上記第1のバイアス線に接続された電流源用MISFETを含む複数の電流供給部と、上記第1の電流分配用MISFETとカレントミラー回路を構成し、ドレインが上記第2の電流入力用MISFETのドレインに接続された第1導電型の第2の電流分配用MISFETと、上記第1の電流分配用MISFET及び上記第2の電流分配用MISFETとカレントミラー回路を構成し、上記第2の電流分配用MISFETの近傍に配置された第3の電流分配用MISFETと、上記第3の電流分配用MISFETのドレインに接続された第1の電流出力端子とを備えている。

【0016】

この構成により、例えば表示装置において、半導体第3の電流分配用MISFETを、隣接する半導体チップ上の電流入力用MISFETと接続することで、第3の電流分配用MISFETと該電流入力用MISFETとが同一チップ上にある場合に比べて隣接する半導体チップの接続部分での出力電流の誤差を低減することができる。

【0017】

本発明の第2の電流駆動装置は、半導体チップ上に集積化された電流駆動装置であって、第1の電流入力端子と、ドレインが上記第1の電流入力端子に接続され、且つドレインとゲート電極とが互いに接続された第1導電型の第1の電流入力用MISFETと、上記電流入力用MISFETとカレントミラー回路を構成する第1導電型の電流源用MISFETを含む複数の電流供給部と、上記第1の電流入力用MISFETのゲート電極と上記電流源用MISFETのゲート電極とに共通に接続されるバイアス線とを備えている。

【0018】

これにより、例えば本発明の第1の電流駆動装置と接続させることで、電流供給部からの出力電流を半導体チップ間でより均一にすることができる。

【0019】

本発明の第3の電流駆動装置は、半導体チップ上に集積化された電流駆動装置であって、ソースに電源電圧が供給された第1導電型の第1の電流分配用MISFETと、上記第1の電流分配用MISFETのドレインにドレインが接続され、且つドレインとゲート電極が互いに接続された第2導電型の電流入力用MISFETと、上記電流入力用MISFETとカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第2導電型の電流入出力用MISFETと、上記電流入力用MISFETのゲート電極と上記電流入出力用MISFETのゲート電極との間を結ぶ第1のバイアス線と、上記電流入力用MISFET及び電流入出力用MISFETとカレントミラー回路を構成し、ゲート電極が上記第1のバイアス線に接続された電流源用MISFETを含む複数の電流供給部と、ドレインが上記電流入出力用MISFETのドレインに接続された第1導電型の第2の電流分配用MISFETと、少なくとも上記第2の電流分配用MISFETのゲート電極及びソースに接続され、上記半導体チップのうち上記第2の電流分配用MISFETからの距離が $200\mu\text{m}$ 以下の領域上に配置された電流電圧変換手段と、上記電流電圧変換手段に接続される電流入出力端子とを備えている。

【0020】

この構成により、表示装置に用いた場合に、例えば隣接するチップ上に設けられた電流電圧手段を本発明の電流電圧変換手段と直列接続すれば、互いに隣接する電流入力用MISFETにはほぼ等しい電流を流すことができるようになる。

【0021】

本発明の第1の表示装置は、第1の電流駆動装置が設けられた第1の半導体チップと、上記第1の半導体チップに隣接して配置され、第2の電流駆動装置が設けられた第2の半導体チップとを備えた表示装置であって、上記第1の電流駆動装置は、ソースに電源電圧が供給された第1導電型の第1の電流分配用MISFETと、上記第1の電流分配用MISFETのドレインにドレインが接続され、且つドレインとゲート電極が互いに接続された第2導電型の第1の電流入力用MISFETと、上記第1の電流入力用MISFETとカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第2導電型の第2の電流入力用MISFETと、上記第1の電流入力用MISFETのゲート電極と上記第2の電流入力用MISFETのゲート電極との間を結ぶ第1のバイアス線と、上記第1の電流入力用MISFET及び第2の電流入力用MISFETとカレントミラー回路を構成し、ゲート電極が上記第1のバイアス線に接続された第1の電流源用MISFETを含む複数の第1の電流供給部と、上記第1の電流分配用MISFETとカレントミラー回路を構成し、ドレインが上記第2の電流入力用MISFETのドレインに接続された第1導電型の第2の電流分配用MISFETと、上記第1の電流分配用MISFET及び上記第2の電流分配用MISFETとカレントミラー回路を構成し、上記第2の電流分配用MISFETからの距離が200 μ m以下の領域上に配置された第3の電流分配用MISFETと、上記第3の電流分配用MISFETのドレインに接続された第1の電流出力端子とを有し、上記第2の電流駆動装置は、上記第1の電流出力端子に接続された第1の電流入力端子と、ドレインが上記第1の電流入力端子に接続され、且つドレインとゲート電極とが互いに接続された第2導電型の第3の電流入力用MISFETと、上記第3の電流入力用MISFETとカレントミラー回路を構成する第2の電流源用MISFETを含む複数の第2の電流供給部と、上記第3の電流入力用MISFETのゲート電極と上記第2の電流源用MISFETのゲート電極とに共通に接続される第2のバイアス線とを有している。

【0022】

これにより、第1の半導体チップ上の第3の電流分配用MISFETから次段の第3の電流入力用MISFETに電流を供給できるので、チップごとの出力電流のばらつきを従来よりも抑えることができる。

【0023】

本発明の第2の表示装置は、第1の電流駆動装置が設けられた第1の半導体チップと、上記第1の半導体チップに隣接して配置され、第2の電流駆動装置が設けられた第2の半導体チップとを備えた表示装置であって、上記第1の電流駆動装置は、ソースに電源電圧が供給された第1導電型の第1の電流分配用MISFETと、上記第1の電流分配用MISFETのドレインにドレインが接続され、且つドレインとゲート電極が互いに接続された第2導電型の第1の電流入力用MISFETと、上記第1の電流入力用MISFETとカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第2導電型の電流入出力用MISFETと、上記第1の電流入力用MISFETのゲート電極と上記電流入出力用MISFETのゲート電極との間を結ぶ第1のバイアス線と、上記電流入力用MISFET及び電流入出力用MISFETとカレントミラー回路を構成し、ゲート電極が上記第1のバイアス線に接続された電流源用MISFETを含む複数の第1の電流供給部と、ドレインが上記電流入出力用MISFETのドレインに接続された第1導電型の第2の電流分配用MISFETと、上記第2の電流分配用MISFETのゲート電極及びソースと参照電源とに接続され、上記半導体チップのうち上記第2の電流分配用MISFETからの距離が200 μ m以下の領域上に配置された第1の電流電圧変換手段と、上記電流電圧変換手段に接続される電流入出力端子とを備え、上記第2の電流駆動装置は、上記電

流入出力端子に接続された電流入力端子と、上記電流入力端子を介して上記第1の電流電圧変換手段と直列に接続された第2の電流電圧変換手段と、ソース及びゲート電極が上記第2の電流電圧変換手段に接続された第1導電型の第3の電流分配用MISFETと、上記第3の電流分配用MISFETのドレインに接続された第2導電型の第2の電流入力用MISFETと、上記第2の電流入力用MISFETとカレントミラー回路を構成する第2の電流源MISFETを有する複数の第2の電流供給部とを備えている。

【0024】

これにより、第1の電流電圧変換手段と第2の電流電圧変換手段とにほぼ等しい電流を流すことができるので、少なくとも隣接する半導体チップの接続部付近で出力電流の誤差を抑えられる。

【0025】

また、本発明の第3の表示装置は、第1の電流駆動装置が設けられた第1の半導体チップと、上記第1の半導体チップに隣接して配置され、第2の電流駆動装置が設けられた第2の半導体チップとを備えた表示装置であって、上記第1の電流駆動装置は、ソースに電源電圧が供給された第1導電型の第1の電流分配用MISFETと、上記第1の電流分配用MISFETのドレインにドレインが接続され、且つドレインとゲート電極が互いに接続された第2導電型の第1の電流入力用MISFETと、上記第1の電流入力用MISFETとカレントミラー回路を構成し、ドレインとゲート電極が互いに接続された第2導電型の電流入出力用MISFETと、上記第1の電流入力用MISFETのゲート電極と上記電流入出力用MISFETのゲート電極との間を結ぶ第1のバイアス線と、上記第1の電流入力用MISFET及び電流入出力用MISFETとカレントミラー回路を構成し、ゲート電極が上記第1のバイアス線に接続された第1の電流源用MISFETを含む複数の第1の電流供給部と、ドレインが上記電流入出力用MISFETのドレインに接続された第1導電型の第2の電流分配用MISFETと、上記第2の電流分配用MISFETのゲート電極及びソースと参照電源とに接続され、上記第1の半導体チップのうち上記第2の電流分配用MISFETからの距離が $200\mu\text{m}$ 以下の領域上に配置された第1の電流電圧変換手段と、上記第1の電流電圧変換手段に接続される第1の電流入力端子と、上記第1の半導体チップのうち上記第1の電流電圧変換手段からの距離が $200\mu\text{m}$ 以下の領域上に配置される第1の負荷回路と、上記負荷回路に接続された第1の電流出力端子とを備え、上記第2の電流駆動装置は、上記第1の電流入力端子に接続された第2の電流出力端子と、上記第1の電流入力端子を介して上記第1の電流電圧変換手段と直列に接続された第2の負荷回路と、上記第1の電流出力端子に接続された第2の電流入力端子と、上記第1の電流出力端子を介して上記第1の負荷回路と直列に接続された第2の電流電圧変換手段と、ソース及びゲート電極が上記第2の電流電圧変換手段に接続された第1導電型の第3の電流分配用MISFETと、上記第3の電流分配用MISFETのドレインに接続された第2導電型の第2の電流入力用MISFETと、上記第2の電流入力用MISFETとカレントミラー回路を構成する第2の電流源MISFETを有する複数の第2の電流供給部とを備えている。

【0026】

これにより、第1の電流電圧変換手段と第2の電流電圧変換手段とに流れる電流値を精度良く揃えることができるので、少なくとも半導体チップの接続部では出力電流（パネルの駆動電流）が揃えられることとなる。

【発明の効果】

【0027】

本発明の第1の電流駆動装置では、電流供給部のためのバイアス回路を構成する電流分配用MISFETと電流入力用MISFETと、電流分配用MISFETとカレントミラーを構成し、次段の半導体チップの電流入力用MISFETに電流を供給する第2の電流分配用MISFETとを備えている。これにより、チップ間での出力電流のばらつきを抑えることができ、表示むらの生じにくい表示装置を実現することができる。

【発明を実施するための最良の形態】

【0028】

図1は、本発明の各実施形態に係る電流駆動装置を備えた有機EL表示装置210を模式的に示す回路図である。

【0029】

同図に示すように、有機EL表示装置210は、表示パネルと、表示パネルにマトリクス状に配置された画素回路216-1、216-2、…、216-mと、信号線を介して画素回路216-1、216-2、…、216-m（以下、各画素回路を区別しないで呼ぶときは画素回路216と称する）のそれぞれに駆動電流を供給するための第1の電流供給部8-1、8-2、…、8-m（以下、各電流供給部を区別しないで呼ぶときは第1の電流供給部8と称する）を有する第1の電流駆動装置が設けられた第1の半導体チップ20と、画素回路216に駆動電流を供給するための第2の電流供給部17を有する第2の電流駆動装置が設けられ、第1の半導体チップ20に隣接して配置された第2の半導体チップ22とを備えている。図1に示す例では、第1の半導体チップ20は第2の半導体チップ22に基準電流を伝達するためのマスターチップであり、第2の半導体チップ22はスレイブチップである。本発明の表示装置では、第1の半導体チップ20と第2の半導体チップ22とで回路構成が異なってもよいが、第1の半導体チップ20上の第1の電流駆動装置から第2の半導体チップ22上の第2の電流駆動装置へは、基準電流にほぼ等しい電流が伝達される。

【0030】

なお、本発明の電流駆動装置が設けられた半導体チップは、いずれも長辺が10mm以上20mm以下程度の細長い形状を有しており、各電流駆動装置の出力数mは、例えば528である。また、ここでは第1の半導体チップ20と第2の半導体チップ22のみを示しているが、第1の半導体チップ20及び第2の半導体チップ22の電流駆動装置を流れる基準電流とほぼ等しい電流が供給される半導体チップがさらに多数設けられている場合もある。

【0031】

以下、本発明の電流駆動装置の各実施形態について、図面を用いて説明する。

【0032】

（第1の実施形態）

図2は、本発明の第1の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。同図で示す電流駆動装置は、図14に示す電流駆動装置と同様に、有機EL表示装置やLED表示装置など、電流駆動型表示装置のソースドライバとして用いられる。図2では、第1の半導体チップ20をマスターチップ、これと隣接して配置される第2の半導体チップ22をスレーブチップとして、この2つの半導体チップが表示装置に配置されている例を示している。

【0033】

本実施形態の第1の半導体チップ20上には、第1の電流駆動装置が設けられている。

【0034】

この第1の電流駆動装置は、ゲート電極が第1のバイアス線205に共通に接続された複数のnチャネル型の第1の電流源用MISFET200を含むm個の第1の電流供給部8と、第1の電流供給部8に駆動電流を供給するための基準電流供給部と、基準電流供給部で生じた電流を第1の電流供給部8-1側から伝達するための第1のバイアス回路5と、基準電流供給部で生じた電流を第1の電流供給部8-m側から伝達するための第2のバイアス回路10と、第2の半導体チップ22に基準電流を伝達するための第1の電流分配用MISFET12と、第1の電流分配用MISFET12と接続された第1の電流出力端子9とを備えている。

【0035】

基準電流供給部は、一端が接地された第1の電流源4と、ソース及びゲート電極が第1の電流源4に接続され、ドレインに電源電圧が供給されたpチャネル型の第1のMISF

ET1とで構成されている。本実施形態において、電源電圧は、例えば5V程度である。

【0036】

また、第1のバイアス回路5は、ソースに電源電圧が供給されるとともに、第1のMISFET1とカレントミラー回路を構成するpチャネル型の第2の電流分配用MISFET2と、ドレインとゲート電極とが互いに接続され、ドレインに第2の電流分配用MISFET2が、ゲート電極に第1のバイアス線205がそれぞれ接続されたnチャネル型の第1の電流入力用MISFET3とを有している。第1の電流入力用MISFET3のソースは接地されている。

【0037】

第2のバイアス回路10は、第1のバイアス回路5と同様の構成をとっており、第1のMISFET1及び第2の電流分配用MISFET2とカレントミラー回路を構成するpチャネル型の第3の電流分配用MISFET6と、ドレインとゲート電極とが互いに接続され、ドレインに第3の電流分配用MISFET6が、ゲート電極に第1のバイアス線205がそれぞれ接続されたnチャネル型の第2の電流入力用MISFET7とを有している。第2の電流入力用MISFET7のソースは接地されている。この第2のバイアス回路10と第1のバイアス回路5においては、第1の電流入力用MISFET3と第2の電流入力用MISFET7とに入力される電流（基準電流）が互いに等しくなるように設計されている。具体的には、第2の電流分配用MISFET2の W/L 比を a 、第1の電流入力用MISFET3の W/L 比を b 、第3の電流分配用MISFET6の W/L 比を c 、第2の電流入力用MISFET7の W/L 比を d とすると、 $a/b = c/d$ となるように設定されている。ここで、「 W 」とはMISFETのゲート幅を意味し、「 L 」とはMISFETのゲート長を意味する。

【0038】

また、第1の電流供給部8-1、8-2、…、8-mのそれぞれは、パネルの信号線に電流を出力するための電流加算型D/Aコンバータである。図2では、第1の電流供給部8-1、8-2、…、8-mのそれぞれが1個の第1の電流源用MISFET200-1、200-2、…、200-mを含むように示しているが、実際には、第1の電流源用MISFET200-1、200-2、…、200-mのそれぞれは、 $2^n - 1$ 個のMISFETを有している。ここで、 n は表示のビット数で、例えば6である。なお、第1の電流源用MISFET200-1、200-2、…、200-mのそれぞれを区別せずに呼ぶときは、「第1の電流源用MISFET200」と呼ぶこととする。

【0039】

以上のような構成の第1の電流駆動装置の特徴は、第3の電流分配用MISFET6の近傍に、隣接する第2の半導体チップ22にドレイン側から基準電流を供給するための第1の電流分配用MISFET12と、第1の電流分配用MISFET12のドレインに接続された第1の電流出力端子9とが設けられていることである。ここで、第3の電流分配用MISFET6と第1の電流分配用MISFET12との距離は、不純物の拡散等による電気的特性のばらつきが両MISFET間で問題とならない程度であればよい。この距離は、製造条件や工程によって異なってくるが、 $200\mu\text{m}$ 以下であれば許容することができ、一般的に $100\mu\text{m}$ 以下であれば特に好ましい。

【0040】

一方、第2の半導体チップ22上には、第2の電流駆動装置が設けられている。

【0041】

第2の電流駆動装置は、第2の半導体チップ22のうち、第1の半導体チップ20に面した位置に設けられ、第1の電流出力端子9と接続された第1の電流入力端子14と、ドレイン及びゲート電極が第1の電流入力端子14及び第2のバイアス線207に共に接続され、且つソースが接地されたnチャネル型の第3の電流入力用MISFET16と、ゲート電極が第2のバイアス線207に共通に接続された第2の電流源用MISFET201-1、201-2、…、201-m（以下、個々に区別しないで呼ぶときは、「第2の電流源用MISFET201」と称する）をそれぞれ含む第2の電流供給部17-1、1

7-2、…、17-m（一部のみ図示）とを備えている。この第2の電流駆動装置の特徴は、第3の電流入力用MISFET16のW/L比をfとし、第1の電流分配用MISFET12のW/L比をeとすると、第3の電流入力用MISFET16が、ほぼ $a/b = c/d = e/f$ になるように設計されていることである。

【0042】

このような構成を採ることによって、表示装置の動作時には第1の電流出力端子9及び第1の電流入力端子を介して、第1の電流入力用MISFET3及び第2の電流入力用MISFET7に入力される電流に等しい電流が第3の電流入力用MISFET16に入力されるようになる。言い換えれば、以上の構成によれば、カレントミラー回路を利用して、第1の電流分配用MISFET12と第3の電流入力用MISFET16とで構成されるバイアス回路に第1のバイアス回路5及び第2のバイアス回路にほぼ等しい電流を流すことができる。特に、第3の電流分配用MISFET6と第1の電流分配用MISFET12とは同一チップ内に設けられており、且つ互いに近傍に配置されているので互いの電気的特性は近似している。そのため、第1の電流分配用MISFET12を第2の半導体チップ22上に設ける場合に比べて、半導体チップ間で、従来よりも均一な電流を電流入力用MISFETに入力することができる。

【0043】

また、本実施形態の表示装置においては、第1の半導体チップ20の基準電流供給部で生じさせた電流をカレントミラー回路を介してnチャネル型の第3の電流入力用MISFET16に伝達させている。そのため、例えば第3の電流分配用MISFET6及び第1の電流分配用MISFET12の両ゲート電極が、第1のMISFET1及び第2の電流分配用MISFET2の両ゲート電極と接続されない（カレントミラーが構成されない）構成である場合に比べ、半導体チップ間で均一な電流を伝達することが可能となっている。以上の理由により、本実施形態の表示装置では、第1の半導体チップ20と第2の半導体チップ22との間で電流供給部からの出力電流のばらつきが小さく抑えられている。そのため、表示のちらつきや乱れを抑えることが可能となっている。

【0044】

また、半導体チップ間の出力電流のばらつきが抑えられているのに加え、第1の電流駆動装置では、チップ内における出力電流のばらつきも抑えられている。これは、第1のバイアス線205の両端に第1の電流入力用MISFET3と第2の電流入力用MISFET7のゲート電極及びドレインが接続されているためである。

【0045】

また、図2には示していないが、第1のバイアス線205上で、第1の電流入力用MISFET3と第1の電流源用MISFET200-1のゲート電極間、互いに隣接する第1の電流源用MISFET200のゲート電極間、及び第1の電流源用MISFET200-mと第2の電流入力用MISFET7のゲート電極間にそれぞれ抵抗値の等しい抵抗体を設けてもよい。

【0046】

上述した通り、同一のチップ内であっても、拡散工程のばらつき等によって、連続して配置された第1の電流源用MISFET200のしきい値は、勾配がついて変化する。また、本実施形態の第1の電流駆動装置では、第1のバイアス線205の一端には第1のバイアス回路5が、他端には第2のバイアス回路10がそれぞれ接続されている。第1のバイアス回路5を構成するMISFETと第2のバイアス回路10を構成するMISFETのしきい値も第1の電流源用MISFET200と同様にずれている。このため、本実施形態の構成によれば、第1のバイアス線205に電位勾配を持たせることで第1の電流源用MISFET200のしきい値の勾配の影響を相殺し、半導体チップ内での出力電流のばらつきを抑えることができるようになる。

【0047】

ここで説明した例では、次段の半導体チップに基準電流を伝達するための電流出力端子が第2の半導体チップ22には設けられていない。そのため、本実施形態の第1の半導体

チップ20と第2の半導体チップ22との組み合わせは、比較的小画面の携帯電話などに好ましく用いることができる。ただし、第1の半導体チップ20の端子構造を工夫すれば、同一の半導体チップを多数個カスケード接続することが可能である。例えば、図2に示す第1の電流駆動装置において、第1のMISFET1と第1の電流源4との間に端子aを設けると共に、第1の電流入力端子14に相当し、第2の電流分配用MISFET2と第1の電流入力用MISFETとの間の配線に接続される端子bとをさらに設ける。この場合、マスターチップとして機能させる場合には端子aに第1の電流源4を接続し、端子bはオープンにしておく。また、この半導体チップをスレイブチップとして用いる場合には、端子aをオープンにして端子bを前段のチップの第1の電流出力端子9に接続すればよい。このような構成により、表示装置において、同一チップを多数用いてパネルを駆動することができるので、2種類以上のチップを用いるよりも製造コストを抑えることができる。また、表示むらの発生を抑えた大画面の表示装置を実現することができる。

【0048】

なお、本実施形態の電流駆動装置では、第1の電流出力端子9と第1の電流入力端子14とが近接して対向するように設けられることが好ましいが、両端子が近接するように配置されなくても動作させることは可能である。

【0049】

また、本実施形態の第1及び第2の電流駆動装置において、回路を構成するMISFETの導電型を全て逆にしても動作させることができる。この場合、電源と接地とを入れ替えばよい。これは以下の実施形態に共通である。

【0050】

(第2の実施形態)

図3は、本発明の第2の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。同図において、第1の半導体チップ20、第2の半導体チップ22及び第3の半導体チップ24は、それぞれマスターチップ、第1のスレーブチップ、第2のスレーブチップとして列状に配置されている。

【0051】

本実施形態では、第1の実施形態に係る電流駆動装置と同様の電流伝達を、3つ以上の半導体チップ間で行なうための電流駆動装置の構成について説明する。なお、図3において、第1の実施形態と同一の構成物には図1と同じ符号を付し、詳細な説明は省略する。

【0052】

第1の半導体チップ20上には第1の電流駆動装置が、第2の半導体チップ22上には第2の電流駆動装置が、第3の半導体チップ24上には第3の電流駆動装置が、それぞれ設けられている。このうち、第2の半導体チップ22と第3の半導体チップ24とは同一構成の半導体チップである。

【0053】

図3に示すように、第1の電流駆動装置は、ゲート電極が第1のバイアス線205に共通に接続された複数のnチャネル型の第1の電流源用MISFET200を含むm個の第1の電流供給部8と、第1の電流供給部8に駆動電流を供給するための基準電流供給部と、基準電流供給部で生じた電流を第1の電流供給部8-1側から伝達するための第1のバイアス回路5と、基準電流供給部で生じた電流を第1の電流供給部8-m側から伝達するための第2のバイアス回路10と、第2の半導体チップ22に基準電流を伝達するための第1の電流分配用MISFET12と、第1の電流分配用MISFET12と接続された第1の電流出力端子9と、第1のMISFET1、第1の電流分配用MISFET12、第2の電流分配用MISFET2、第3の電流分配用MISFET6の各ゲート電極に接続された第1のバイアス電源供給端子13とを備えている。すなわち、本実施形態の第1の電流駆動装置は、第1のバイアス電源供給端子13を備えたことのみが第1の実施形態の第1の電流駆動装置との違いである。

【0054】

また、本実施形態の第2の電流駆動装置は、第1の実施形態における第2の電流駆動装

置の構成に加え、第1のバイアス電源供給端子13に接続される第1のバイアス電源入力端子15と、ゲート電極が第1のバイアス電源入力端子15に接続され、第1のMISFET1、第1の電流分配用MISFET12、第2の電流分配用MISFET2、及び第3の電流分配用MISFET6とカレントミラー回路を構成するpチャネル型の第4の電流分配用MISFET23と、ドレイン及びゲート電極が互いに接続され、ドレインが第4の電流分配用MISFET23のドレインに、ゲート電極が第2のバイアス線207にそれぞれ接続されたnチャネル型の第4の電流入力用MISFET25と、第4の電流分配用MISFET23とカレントミラー回路を構成し、第4の電流分配用MISFET23の近傍に配置されたpチャネル型の第5の電流分配用MISFET27と、第5の電流分配用MISFET27のドレインに接続された第2の電流出力端子28と、第4の電流分配用MISFET23及び第5の電流分配用MISFET27の各ゲート電極に接続された第2のバイアス電源供給端子29とをさらに備えている。ここで、第4の電流分配用MISFET23と第5の電流分配用MISFET27との間の距離は、設計によっても異なるが、 $200\mu\text{m}$ 以下であると許容でき、 $100\mu\text{m}$ 以下であれば特に好ましい。

【0055】

これに加え、第1の電流分配用MISFET12のW/L比eと第3の電流入力用MISFET16のW/L比fとの比 e/f は、第4の電流分配用MISFET23のW/L比gと第4の電流入力用MISFET25のW/L比hとの比 g/h と等しくなっている。さらに、第5の電流分配用MISFET27のW/L比iと第5の電流入力用MISFET33のW/L比jとの比 i/j も e/f 及び g/h と等しくなっている。従って、第2の半導体チップ22と第3の半導体チップ24とが同一構成である場合、 i/f の値も e/f 及び g/h と等しくなっていることになる。

【0056】

また、第3の半導体チップ24は第2の半導体チップ22と同一構成である。図3においては、第2のバイアス電源供給端子29に接続される第2のバイアス電源入力端子32は第1のバイアス電源入力端子15に相当し、第2の電流出力端子28に接続される第2の電流入力端子31は第1の電流入力端子14に相当する。

【0057】

本実施形態の第1及び第2の電流駆動装置においては、第1のバイアス電源供給端子13及び第1のバイアス電源入力端子15を介して第1の電流駆動装置から第2の電流駆動装置へと電流分配用MISFETのゲートバイアスが供給される。これに加えて、上述のサイズ比がほぼ $e/f = g/h = i/j$ となっている。

【0058】

これにより、第2の半導体チップ22から第3の半導体チップ24へも、第1の半導体チップ20から第2の半導体チップへと伝達される電流とほぼ等しい電流を伝達することができるようになる。従って、本実施形態の第1の半導体チップ20をマスターチップとし、第2の半導体チップ22と同じ構成の複数の半導体チップをスレーブチップとしてカスケード接続すれば、半導体チップ間の出力電流のばらつきを抑えつつ、表示パネルの大画面化を実現することができる。

【0059】

さらに、本実施形態の電流駆動装置によれば、第2の電流供給部17-1側の第3の電流入力用MISFET16に inputsされる電流と、第2の電流供給部17-m側の第4の電流入力用MISFET25に inputsされる電流とをほぼ等しくすることができるので、第2の半導体チップ22内の出力電流のばらつきを抑えることができる。

【0060】

なお、本実施形態の半導体チップが配置された表示装置において、半導体チップのバイアス電源供給端子と次段の半導体チップのバイアス電源入力端子との間はハイインピーダンスであってよく、コンデンサを介設してもよい。このコンデンサを設けることで、ノイズの低減を図ることができるので、好ましい。

【0061】

(第3の実施形態)

図4は、本発明の第3の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。同図に示す第1の半導体チップ20上には第1の電流駆動装置が、第2の半導体チップ22上には第2の電流駆動装置が、それぞれ設けられている。

【0062】

本実施形態の第1の電流駆動装置及び第2の電流駆動装置は、第1の実施形態の変形例であるので、以下、本実施形態の第1の電流駆動装置及び第2の電流駆動装置が第1の実施形態と異なる部分について説明する。

【0063】

まず、本実施形態の第1の電流駆動装置では、第1の実施形態の第1の電流駆動装置の構成に加え、第1の電流分配用MISFET12とゲート電極が接続され、第1のMISFET1とカレントミラー回路を構成するpチャネル型の第6の電流分配用MISFET(追加電流分配用MISFET)36と、第6の電流分配用MISFET36のドレインに接続された第3の電流出力端子(追加電流分配用MISFET)37とを備えている。この第6の電流分配用MISFET36は、第3の電流分配用MISFET6及び第1の電流分配用MISFET12の近傍に配置されている。具体的には、第6の電流分配用MISFET36と第3の電流分配用MISFET6及び第1の電流分配用MISFET12との距離は、 $200\mu\text{m}$ 以下であると許容でき、 $100\mu\text{m}$ 以下であれば好ましい。

【0064】

次に、本実施形態の第2の電流駆動装置では、第1の実施形態の第2の電流駆動装置の構成に加え、第3の電流出力端子37に接続される第3の電流入力端子38と、ゲート電極とドレインが互いに接続され、ドレインが第3の電流入力端子38に接続されたnチャネル型の第4の電流入力用MISFET25とを備えている。第4の電流入力用MISFET25のゲート電極は第2のバイアス線207に接続されており、第4の電流入力用MISFET25と第3の電流入力用MISFET16とは、第2の電流供給部17-1、17-2、…、17-mを挟んでカレントミラー回路を構成している。また、第6の電流分配用MISFET36の W/L 比を k 、第4の電流入力用MISFET25の W/L 比を l とすると、 k/l の値は、第1の電流分配用MISFET12の W/L 比 e と第3の電流入力用MISFET16の W/L 比 f との比 e/f と等しくなるよう設計されている。また、第2の電流分配用MISFET2の W/L 比を a 、第1の電流入力用MISFET3の W/L 比を b 、第3の電流分配用MISFET6の W/L 比を c 、第2の電流入力用MISFET7の W/L 比を d とすると、 $a/b = c/d = k/l$ となっている。

【0065】

この構成により、第1の半導体チップ20上に設けた第6の電流分配用MISFET36から第2の半導体チップに電流を伝達することができるので、第6の電流分配用MISFET36を第2の半導体チップ22上に設ける場合に比べて第3の電流入力用MISFET16と第4の電流入力用MISFET25とにより均一な電流を入力することができる。また、第4の電流入力用MISFET25と、第1の電流入力用MISFET3、第2の電流入力用MISFET7にそれぞれ入力される電流をより均一にすることができる。そのため、本実施形態の電流駆動装置によれば、従来の電流駆動装置に比べて半導体チップ間の出力電流の誤差を低減することができる。

【0066】

その上、カレントミラー回路である第2の電流源用MISFET201(図2参照)の両端に配置された第3の電流入力用MISFET16と第6の電流分配用MISFET36に均一な電流が入力されるので、第2の半導体チップ22上に設けられた第2の電流供給部17からの出力電流の誤差も低減することができる。

【0067】

なお、図4では2つの半導体チップを並べて配置する例を示しているが、3つ以上の半導体チップを並べて配置することもできる。その場合には、マスターチップ上のにカスケード接続されるスレーブチップの数だけ第1の電流分配用MISFET12の近傍(20

0 μ m以下)に電流分配用MISFETを設ければよい。ただし、電流分配用チップを設けるためのスペースは半導体チップ上で限られているため、本実施形態の構成は、あまり多数の半導体チップが必要な表示装置には適さない。従って、本実施形態の電流駆動装置は、携帯電話やPDAなど小型パネルを有する機器に好ましく用いられる。

【0068】

(第4の実施形態)

図5は、本発明の第4の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。本実施形態の電流駆動装置は、第1の実施形態の電流駆動装置に加え、各電流入力用MISFETに供給される電流の安定化を図るための手段を設けたものである。本実施形態の第1の半導体チップ40上に設けられた第1の電流駆動装置、第2の半導体チップ42上に設けられた第2の電流駆動装置のうち、図2に示す第1の実施形態と同じ部材には同じ符号を付している。

【0069】

本実施形態の第1の電流駆動装置は、第1の実施形態の第1の電流駆動装置の構成に加え、第1のMISFET1と第1の電流源4との間に介設され、ソースが第1のMISFET1のゲート電極に接続されたpチャネル型の第1のカスコードMISFET43と、第2の電流分配用MISFET2と第1の電流入力用MISFET3の間に介設されたpチャネル型の第2のカスコードMISFET45と、第3の電流分配用MISFET6と第2の電流入力用MISFET7との間に介設されたpチャネル型の第3のカスコードMISFET47と、第1の電流分配用MISFET12と第1の電流出力端子9との間に介設された第4のカスコードMISFET49と、一端が第1の定電圧電源41に接続されるとともに、第1のカスコードMISFET43、第2のカスコードMISFET45、第3のカスコードMISFET47、及び第4のカスコードMISFET49の各ゲート電極に共通に接続された第1のゲートバイアス線44とを備えている。この定電圧電源の出力電圧は例えば4Vで、第1の電流駆動装置の電源電圧は、例えば5Vである。また、各カスコードMISFETのサイズは、各電流分配用MISFETのサイズよりも小さくすることが可能である。

【0070】

以上のように、本実施形態の第1の電流駆動装置においては、互いにカレントミラー回路を構成する各電流分配用MISFETのドレイン側にカスコード接続するMISFETを設けることで、電流分配用MISFETのドレイン電圧の変動を抑え、定電流特性を向上させることが可能となっている。本実施形態の電流駆動装置を表示装置に用いる場合、表示する輝度に応じて第1の電流源4を流れる電流値を変化させることがある。本実施形態の電流駆動装置を用いれば、第1の電流源4を流れる電流値が変化した場合にも、より確実に各電流入力用MISFETに所定の電流を流すことができるようになる。従って、本実施形態の電流駆動装置を用いれば、表示品質を向上させた表示装置を提供することが可能となる。

【0071】

以上で説明したカスコードMISFETは、第1～第3の実施形態の電流駆動装置に設けても同様の効果を発揮する。ただし、MISFETの動作範囲は狭くなるので、表示品位を向上させることと、設計に自由度を持たせることとのバランスを考慮する必要がある。

【0072】

(第5の実施形態)

図6は、本発明の第5の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。本実施形態の電流駆動装置は、第4の実施形態の電流駆動装置において、第1の電流供給部8-1、8-2、…、8-mにそれぞれ含まれる第1の電流源用MISFET200-1、200-2、…、200-mを構成する各MISFETのドレインにそれぞれnチャネル型の第5のカスコードMISFET55-1、55-2、…、55-mを接続させたものである。また、第1の電流入力用MISFET3のドレインと、第2

の電流入力用MISFETのドレインとにもそれぞれ第6のカスコードMISFET53、第7のカスコードMISFET57が接続されている。そして、第5のカスコードMISFET55-1、55-2、…、55-mを構成するMISFETの各ゲート電極、及び第6のカスコードMISFET53、第7のカスコードMISFET57の各ゲート電極は、第2のゲートバイアス線211に共通に接続される。この第2のゲートバイアス線211の一端は、出力電圧が1V程度の第2の定電圧電源51に接続されている。

【0073】

一方、第2の電流駆動装置においても、第4の実施形態での第2の駆動電流装置の構成に加え、第1の電流入力端子14と第3の電流入力用MISFET16との間に介設された第8のカスコードMISFET60と、第2の電流源用MISFET201-1、201-2、…、201-mを構成する各MISFETのドレインに接続された第9のカスコードMISFET65-1、65-2、…、65-mとが設けられている。そして、第8のカスコードMISFET60のゲート電極、及び第9のカスコードMISFET65-1、65-2、…、65-mの各ゲート電極は、第3のゲートバイアス線213に共通に接続される。第3のゲートバイアス線213の一端にも、例えば1V程度の定電圧電源が接続される。

【0074】

以上の構成をとることにより、第1の電流源用MISFET200のドレイン電圧、及び第2の電流源用MISFET201のドレイン電圧の変動を抑えることができるので、例えば表示パネルにおける表示輝度の変化時などにも、第1の電流供給部8及び第2の電流供給部からの出力電流を安定化することが可能となる。

【0075】

なお、図6では、各電流分配用MISFETにカスコードMISFETが接続されている例を示したが、このカスコードMISFETは、必ずしも設けておく必要はない。

【0076】

(第6の実施形態)

図7は、本発明の第6の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。同図に示す半導体チップのうち、第1の半導体チップ80は第1の実施形態の第1の半導体チップ20（図1参照）と同一であるので、以下の説明は、主に第2の半導体チップ82について行なう。

【0077】

図7に示す第1の半導体チップ80上には第1の電流駆動装置が、第2の半導体チップ82上には第2の電流駆動装置が、第3の半導体チップ84上には第3の電流駆動装置が、それぞれ設けられている。

【0078】

第2の電流駆動装置は、第1の実施形態における第2の電流駆動装置と同じく、第1の電流出力端子9と接続された第1の電流入力端子14と、ドレイン及びゲート電極が第1の電流入力端子14及び第2のバイアス線207に共に接続され、且つソースが接地されたnチャネル型の第3の電流入力用MISFET16と、ゲート電極が第2のバイアス線207に共通に接続された第2の電流源用MISFET201をそれぞれ含む第2の電流供給部17とを備えている。

【0079】

以上の構成に加え、本実施形態の第2の電流駆動装置は、第3の電流入力用MISFET16、第2の電流源用MISFET201（図2参照）、及び第6の電流入力用MISFET87とカレントミラー回路を構成するnチャネル型の第1の電流出力用MISFET83と、第1の電流出力用MISFET83のドレインに接続された第1の電流電圧変換手段81と、ゲート電極が第1の電流電圧変換手段81にそれぞれ接続され、共にpチャネル型の第7の電流分配用MISFET85及び第8の電流分配用MISFET86と、ドレインとゲート電極が互いに接続され、第2の電流供給部17を挟んで第3の電流入力用MISFET16とカレントミラー回路を構成すると共に、ドレインが第7の電流分

配用MISFET85に接続された第6の電流入力用MISFET87と、第8の電流分配用MISFET86のドレインに接続された第4の電流出力端子90とを備えている。第7の電流分配用MISFET85及び第8の電流分配用MISFET86の各ゲート電極には、第1の電流電圧変換手段81-第1の電流出力用MISFET83間を流れる電流を電流電圧変換した電圧が、第1の電流電圧変換手段81から供給される。

【0080】

また、第1の電流分配用MISFET12のW/L比 e と第3の電流入力用MISFET16のW/L比 f との比 e/f は、第3の電流分配用MISFET6のW/L比 c と第2の電流入力用MISFET7のW/L比 d との比 c/d の値と等しくなっている。さらに、第7の電流分配用MISFET85のW/L比と第6の電流入力用MISFET87のW/L比との比、第8の電流分配用MISFET86のW/L比と第7の電流入力用MISFET95のW/L比との比は、それぞれ e/f 、 c/f の値と等しくなっている。

【0081】

本実施形態の第2の電流駆動装置が第1の実施形態と異なるのは、第1の半導体チップ80から入力された電流を、第1の電流出力用MISFET83、第1の電流電圧変換手段81、及び第7の電流分配用MISFET85を介して第2の電流供給部17-mの近傍に設けられた第6の電流入力用MISFET87に分配している点である。このような構成をとることにより、第2のバイアス線207の両端にほぼ等しい電流を入力することができるので、第1の実施形態の第2の電流駆動装置に比べて第2の電流供給部17からの出力電流を均一にすることができる。

【0082】

また、本実施形態の第2の電流駆動装置は、第2の実施形態の第2の電流駆動装置と比べて各電流分配用MISFETのゲート電極を結ぶ配線の容量が小さくなっているため、ノイズが発生しにくくなっている。

【0083】

さらに、本実施形態の第2の電流駆動装置では、第2の実施形態の第2の電流駆動装置に比べて端子数を減らせるので、実装を容易にすることができる。

【0084】

以上の利点に加え、本実施形態の第1の半導体チップ80と第2の半導体チップ82とを用いた表示装置では、第1の実施形態と同様に、第1の半導体チップ80と第2の半導体チップ82との継ぎ目で生じる出力電流の誤差を従来よりも小さくできるので、より均一な画像表示を実現することができる。

【0085】

なお、本実施形態の第1の電流駆動装置において、第1のバイアス線205上で、第1の電流入力用MISFET3と第1の電流源用MISFET200-1のゲート電極間、互いに隣接する第1の電流源用MISFET200のゲート電極間、及び第1の電流源用MISFET200-mと第2の電流入力用MISFET7のゲート電極間にそれぞれ抵抗値の等しい抵抗体を設けてもよい。この場合、第2のバイアス線207上にも同様に抵抗を設けておくことが好ましい。

【0086】

—第1の電流電圧変換手段の具体例—

図8は、図7に示す本実施形態の半導体チップにおいて、第1の電流電圧変換手段の具体例を示す回路図である。

【0087】

同図に示すように、第1の電流電圧変換手段81の例としては、ドレインが第1の電流出力用MISFET83に、ゲート電極が第7の電流分配用MISFET85のゲート電極及び第8の電流分配用MISFET86のゲート電極に接続されたpチャネル型MISFETが挙げられる。このpチャネル型MISFETはゲート電極とドレインが互いに接続されており、第7の電流分配用MISFET85及び第8の電流分配用MISFET86とカレントミラー回路を構成するので、第1の半導体チップ80から入力された電流を

第 8 の電流分配用 M I S F E T 8 6 及び次段の半導体チップ (第 3 の半導体チップ 8 4) に分配することができる。

【0088】

なお、第 1 の電流電圧変換手段 8 1 としては、電源電圧に接続された抵抗を用いることもできる。例えば一端が電源電圧に接続された第 1 の抵抗と、第 1 の抵抗と第 1 の電流出力用 M I S F E T 8 3 との間に介設された抵抗とを設け、第 7 の電流分配用 M I S F E T 8 5 及び第 8 の電流分配用 M I S F E T 8 6 のゲートバイアス線を第 1 の抵抗と第 2 の抵抗との間に接続すれば、入力された電流を電圧に変換することができる。

【0089】

なお、本実施形態の第 2 の電流駆動装置において、第 8 の電流分配用 M I S F E T 8 6 の W/L 比と第 3 の電流入力用 M I S F E T 1 6 の W/L 比との比を、第 7 の電流分配用 M I S F E T 8 5 の W/L 比と第 6 の電流入力用 M I S F E T 8 7 の W/L 比との比と等しく設定することが好ましい。これにより、多数の第 2 の半導体チップ 8 2 をスレーブチップとしてカスコード接続する場合に、半導体チップ間の出力電流のばらつきを抑えることが可能になる。

【0090】

(第 7 の実施形態)

図 9 は、本発明の第 7 の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。同図に示すように、本実施形態では、電流駆動型の表示装置において、互いに隣接する第 1 の半導体チップ 1 0 0 と第 2 の半導体チップ 1 0 2 との間で等しい電流を流すための電流源が設けられる例を説明する。ここでも、第 1 の半導体チップ 1 0 0 上に第 1 の電流駆動装置が集積化して設けられ、第 2 の半導体チップ 1 0 2 上に第 2 の電流駆動装置が集積化して設けられているとする。なお、以下では、第 1 の実施形態と同じ構成については説明を省略する。

【0091】

図 9 に示すように、本実施形態において、第 1 の電流駆動装置には、第 3 の電流分配用 M I S F E T 6 のゲート電極とチップ外部に設けられた参照電源 V r e f とに接続された第 2 の電流電圧変換手段 (第 2 の I V 変換手段) 1 0 3 と、第 2 の電流電圧変換手段 1 0 3 に接続された第 4 の電流出力端子 1 0 5 とが設けられている。第 2 の電流電圧変換手段 1 0 3 は、入力された電流を電圧に変換して第 3 の電流分配用 M I S F E T 6 のゲート電極に印加し、且つ第 3 の電流分配用 M I S F E T のソースに接続される。なお、図示しないが、第 2 の電流電圧変換手段 1 0 3 は各電流分配用 M I S F E T のゲート電極及びソースに接続されている。

【0092】

また、第 2 の電流駆動装置には、第 4 の電流出力端子 1 0 5 に接続された第 4 の電流入力端子 1 0 7 と、第 4 の電流入力端子 1 0 7 を介し、参照電源 V r e f に対して第 2 の電流電圧変換手段 1 0 3 と直列に接続された第 3 の電流電圧変換手段 1 0 9 と、ゲート電極に第 3 の電流電圧変換手段 1 0 9 によって変換された電圧が印加され、且つソースが第 3 の電流電圧変換手段 1 0 9 に接続された p チャネル型の第 9 の電流分配用 M I S F E T 1 0 4 と、第 9 の電流分配用 M I S F E T 1 0 4 のドレインに接続された n チャネル型の第 3 の電流入力用 M I S F E T 1 6 とが設けられている。また、第 3 の電流電圧変換手段 1 0 9 は、チップ外部に設けられた第 1 の負荷回路 1 0 8 に接続されている。図示しないが、第 3 の電流電圧変換手段 1 0 9 は、各電流分配用 M I S F E T のゲート電極及びソースにも接続されている。

【0093】

本実施形態の電流駆動装置が設けられた表示装置では、第 2 の電流電圧変換手段 1 0 3 、第 3 の電流電圧変換手段 1 0 9 、及び第 1 の負荷回路 1 0 8 とは互いに直列に接続されており、第 2 の電流電圧変換手段 1 0 3 と第 3 の電流電圧変換手段 1 0 9 には互いにはほぼ等しい電流が流れる。このため、第 1 の半導体チップ 1 0 0 と第 2 の半導体チップ 1 0 2 の接続部付近の電流供給部からの出力電流を等しくすることができる。

【0094】

なお、第2の電流入力用MISFET7に流入される電流と第3の電流入力用MISFET16に流れる電流を等しくするためには、第2の電流電圧変換手段103と第3の電流分配用MISFET6との距離、及び第3の電流電圧変換手段109と第9の電流分配用MISFET104との距離が共に小さい方が好ましい。この距離は半導体チップの設計によっても異なるが、200 μ m以下であればよい。

【0095】

また、第4の電流出力端子105から第4の電流入力端子107に流れる電流値は、第3の電流分配用MISFET6のゲート電極及びソース、あるいは第9の電流分配用MISFET104のゲート電極及びソースに流れる電流の値に比べて微小である方が、2つのチップ端部により等しい電流を流すことができるので好ましい。

【0096】

なお、第2の電流電圧変換手段103及び第3の電流電圧変換手段109の具体例としては、図8に示した具体例と同様に、ゲート電極とドレインが互いに接続されたpチャネル型MISFETが挙げられる。その他にも、抵抗やバッファなども電流電圧変換手段として用いることができる。抵抗を用いる場合には、特に第4の電流出力端子105から第4の電流入力端子107に流れる電流値が特に微小である必要がある。

【0097】

また、本実施形態では、参照電源Vrefを第2の電流電圧変換手段103に、第1の負荷回路108を第3の電流電圧変換手段107にそれぞれ接続していたが、参照電源Vrefを第3の電流電圧変換手段107に、第1の負荷回路108を第2の電流電圧変換手段103にそれぞれ接続してもよい。

【0098】

(第8の実施形態)

図10は、本発明の第8の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。以下では、本実施形態の電流駆動装置が、第7の実施形態に係る電流駆動装置と異なる点のみ説明する。

【0099】

図9に示すように、互いに隣接して接続された本実施形態の第1の半導体チップ110と第2の半導体チップ112上には、互いに直列に接続された電流電圧変換手段と負荷回路からなる電流源が2組み形成されている。以下、各半導体チップの構成から順に説明する。

【0100】

第1の半導体チップ110上に設けられた第1の電流駆動装置は、第3の電流分配用MISFET6のゲート電極及びソースと、第1の参照電源Vref1とに接続された第4の電流電圧変換手段(第4のIV変換手段)111と、第4の電流電圧変換手段111に接続された第5の電流入力端子116と、第4の電流電圧変換手段111の近傍に配置された第2の負荷回路113と、第2の負荷回路113に接続された第5の電流出力端子118とを備えている。

【0101】

次に、第2の半導体チップ112上に設けられた第2の電流駆動装置は、第5の電流出力端子118に接続された第6の電流入力端子120と、第6の電流入力端子120、及び第9の電流分配用MISFET104のゲート電極及びソースにそれぞれ接続された第5の電流電圧変換手段117と、第2の参照電源Vref2に接続された第3の負荷回路115と、第3の負荷回路115及び第5の電流入力端子116に接続された第6の電流出力端子122とを備えている。ここで、第3の負荷回路115は、第5の電流電圧変換手段117の近傍に配置されている。なお、第1の参照電源Vref1から供給される電圧と、第2の参照電源Vref2から供給される電圧とは互いに等しい。

【0102】

以上のような構成により、第1の電流駆動装置と第2の電流駆動装置とが互いに接続さ

れた状態では、第2の負荷回路113に直列に接続された第5の電流電圧変換手段117と、第3の負荷回路115に直列に接続された第4の電流電圧変換手段111に、より精度良く等しい電流を流すことができる。

【0103】

負荷回路や電流電圧変換手段は、後述するように、MISFETなど、半導体チップ上に設けられたデバイスで構成することができる。これは、第1の半導体チップ110上に設けられた第2の負荷回路113から第2の半導体チップ112上に設けられた第5の電流電圧変換手段117へ、第2の半導体チップ112上に設けられた第3の負荷回路115から第1の半導体チップ110上に設けられた第4の電流電圧変換手段111へとそれぞれ電流が流れるので、チップごとの特性ばらつきを平均化することができるためである。

【0104】

そのため、本実施形態の第1の半導体チップ110及び第2の半導体チップ112の構成を用いた表示装置では、互いに隣接するチップの接続部分でパネルの駆動電流の大きさが精度良く一致するので、表示むらが視認されにくくなる。

【0105】

なお、第4の電流電圧変換手段111と第2の負荷回路113との距離、及び第3の負荷回路115と第5の電流電圧変換手段117との距離は、共に200 μ m以下であれば好ましく、100 μ m以下であればさらに好ましい。

【0106】

なお、以上で説明した負荷回路及び電流電圧変換手段を長辺方向の両端に設けた半導体チップを用いれば、3個以上の半導体チップをカスケード接続して大画面のパネルを駆動することが可能である。

【0107】

－電流電圧変換手段及び負荷回路の具体例－

図11及び図12は、図10に示す本実施形態の電流駆動装置において、電流電圧変換手段及び負荷回路の具体例を示す図である。

【0108】

図11は、電流電圧変換手段がドレインとゲート電極を互いに接続したMISFETで、負荷回路が例えばポリシリコンなどからなる抵抗である例を示している。この場合、第4の電流電圧変換手段111と第5の電流電圧変換手段117とは、サイズや設計上の電気的特性を揃えておく必要があるのは言うまでもない。また、第2の負荷回路113と第3の負荷回路115も同様に、抵抗値などの特性を揃えておく必要がある。

【0109】

また、図12は、電流電圧変換手段と負荷回路を共にドレインとゲート電極を互いに接続したMISFETで構成した例を示している。この場合、他のMISFETを作成する工程を利用して負荷回路や電源電圧変換手段を形成できるので、負荷回路を抵抗で構成するより場合よりも容易に製造可能となる。

【0110】

(第9の実施形態)

図13は、本発明の第8の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。

【0111】

同図に示すように、本実施形態の第1及び第2の電流駆動装置は、図12に示す第1及び第2の電流駆動装置と同一の電源電圧変換手段と負荷回路を備えている。ただし、本実施形態の電流駆動装置においては、電流供給部内でカレントミラー回路を構成する電流源用MISFETに伝達する電流を、一方の電流入力用MISFETからのみ入力している。

【0112】

このような構成であっても、半導体チップの接続部付近の出力電流同士は均一にするこ

とができる。

【0113】

なお、電源電圧変換手段及び負荷回路は抵抗やバッファであってもよい。

【産業上の利用可能性】

【0114】

以上で説明したように、本発明の電流駆動装置は、有機EL表示装置など電流駆動方式の表示装置のドライバとして有用である。

【図面の簡単な説明】

【0115】

【図1】本発明の各実施形態に係る電流駆動装置を備えた有機EL表示装置210を模式的に示す回路図である。

【図2】本発明の第1の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。

【図3】本発明の第2の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。

【図4】本発明の第3の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。

【図5】本発明の第4の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。

【図6】本発明の第5の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。

【図7】本発明の第6の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。

【図8】図7に示す第6の実施形態に係る半導体チップにおいて、第1の電流電圧変換手段の一具体例を示す回路図である。

【図9】本発明の第7の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。

【図10】本発明の第8の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。

【図11】図10に示す第8の実施形態に係る電流駆動装置において、電流電圧変換手段及び負荷回路の一具体例を示す図である。

【図12】図10に示す第8の実施形態に係る電流駆動装置において、電流電圧変換手段及び負荷回路の一具体例を示す図である。

【図13】本発明の第8の実施形態に係る電流駆動装置が設けられた半導体チップを示す回路図である。


【図14】一般的な有機EL表示装置の構成を模式的に示す回路図である。

【符号の説明】

【0116】

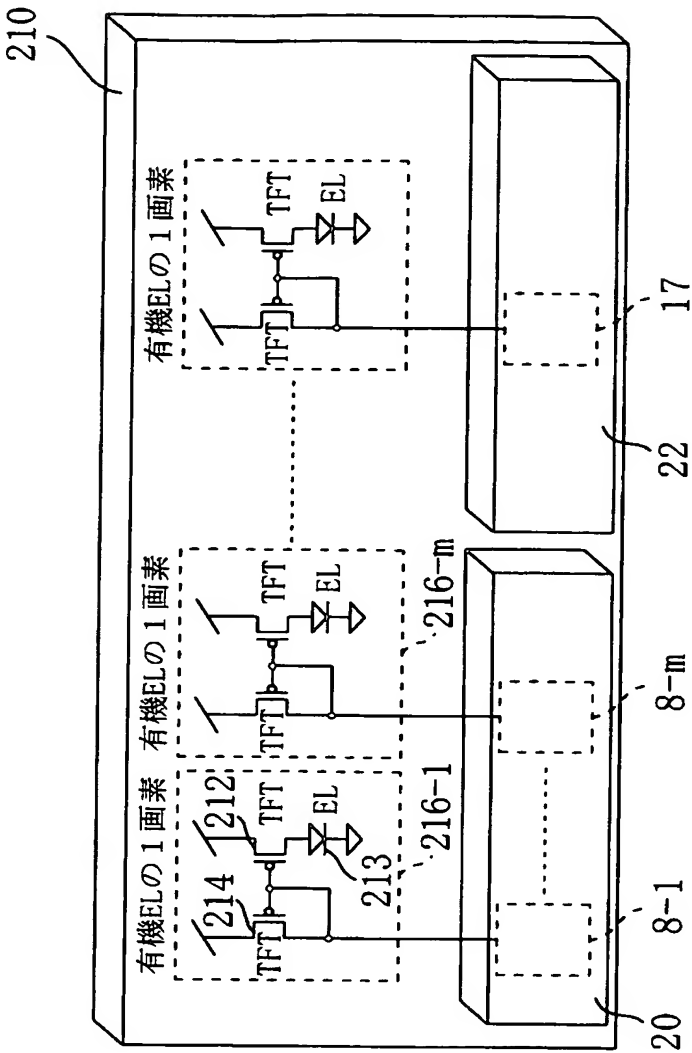
- | | |
|----|----------------|
| 1 | 第1のMISFET |
| 2 | 第2の電流分配用MISFET |
| 3 | 第1の電流入力用MISFET |
| 4 | 第1の電流源 |
| 5 | 第1のバイアス回路 |
| 6 | 第3の電流分配用MISFET |
| 7 | 第2の電流入力用MISFET |
| 8 | 第1の電流供給部 |
| 9 | 第1の電流出力端子 |
| 10 | 第2のバイアス回路 |
| 12 | 第3の電流入力用MISFET |
| 13 | 第1のバイアス電源供給端子 |

1 4	第 1 の電流入力端子
1 5	第 1 のバイアス電源入力端子
1 6	第 3 の電流入力用 M I S F E T
1 7	第 2 の電流供給部
2 0、4 0、8 0、1 0 0、1 1 0	第 1 の半導体チップ
2 2、4 2、8 2、1 0 2、1 1 2	第 2 の半導体チップ
2 3	第 4 の電流分配用 M I S F E T
2 4	第 3 の半導体チップ
2 5	第 4 の電流入力用 M I S F E T
2 7	第 5 の電流分配用 M I S F E T
2 8	第 2 の電流出力端子
2 9	第 2 のバイアス電源供給端子
3 1	第 2 の電流入力端子
3 2	第 2 のバイアス電源入力端子
3 3	第 5 の電流入力用 M I S F E T
3 6	第 6 の電流分配用 M I S F E T
3 7	第 3 の電流出力端子
3 8	第 3 の電流入力端子
4 1	第 1 の定電圧電源
4 3	第 1 のカスコード M I S F E T
4 4	第 1 のゲートバイアス線
4 5	第 2 のカスコード M I S F E T
4 7	第 3 のカスコード M I S F E T
4 9	第 4 のカスコード M I S F E T
5 1	第 2 の定電圧電源
5 3	第 6 のカスコード M I S F E T
5 5	第 5 のカスコード M I S F E T
5 7	第 7 のカスコード M I S F E T
6 0	第 8 のカスコード M I S F E T
6 5	第 9 のカスコード M I S F E T
8 1	第 1 の電流電圧変換手段
8 3	第 1 の電流出力用 M I S F E T
8 4	第 3 の半導体チップ
8 5	第 7 の電流分配用 M I S F E T
8 6	第 8 の電流分配用 M I S F E T
8 7	第 6 の電流入力用 M I S F E T
9 0	第 4 の電流出力端子
9 5	第 7 の電流入力用 M I S F E T
1 0 3	第 2 の電流電圧変換手段
1 0 4	第 9 の電流分配用 M I S F E T
1 0 5	第 4 の電流出力端子
1 0 7	第 4 の電流入力端子
1 0 8	第 1 の負荷回路
1 0 9	第 3 の電流電圧変換手段
1 1 1	第 4 の電流電圧変換手段
1 1 3	第 2 の負荷回路
1 1 5	第 3 の負荷回路
1 1 6	第 5 の電流入力端子
1 1 7	第 5 の電流電圧変換手段
1 1 8	第 5 の電流出力端子

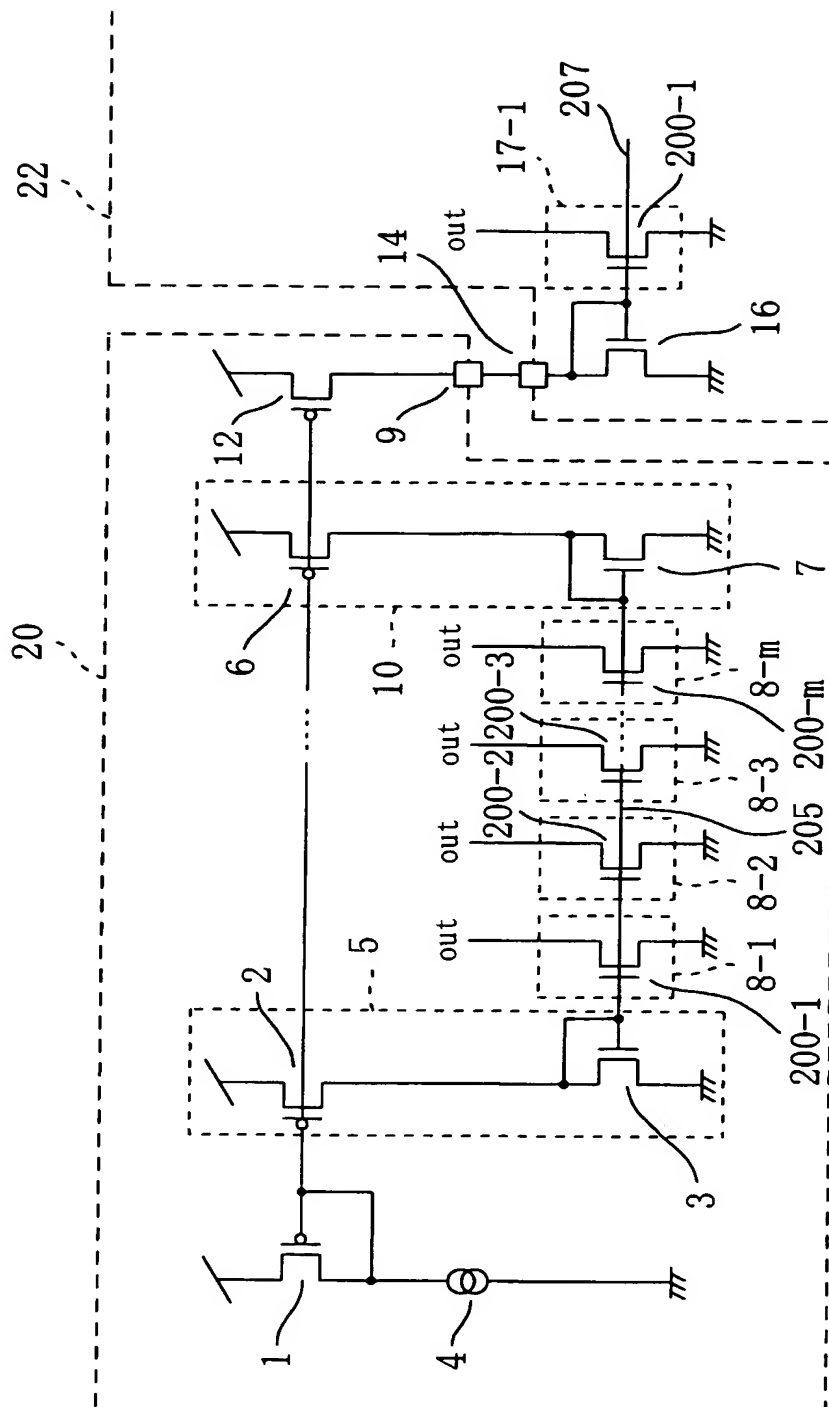


1 2 0	第 6 の電流入力端子
1 2 2	第 6 の電流出力端子
2 0 0	第 1 の電流源用 M I S F E T
2 0 1	第 2 の電流源用 M I S F E T
2 0 5	第 1 のバイアス線
2 0 7	第 2 のバイアス線
2 1 0	有機 E L 表示装置
2 1 1	第 2 のゲートバイアス線
2 1 3	第 3 のゲートバイアス線
2 1 6	画素回路
V r e f	参照電源
V r e f 1	第 1 の参照電源
V r e f 2	第 2 の参照電源

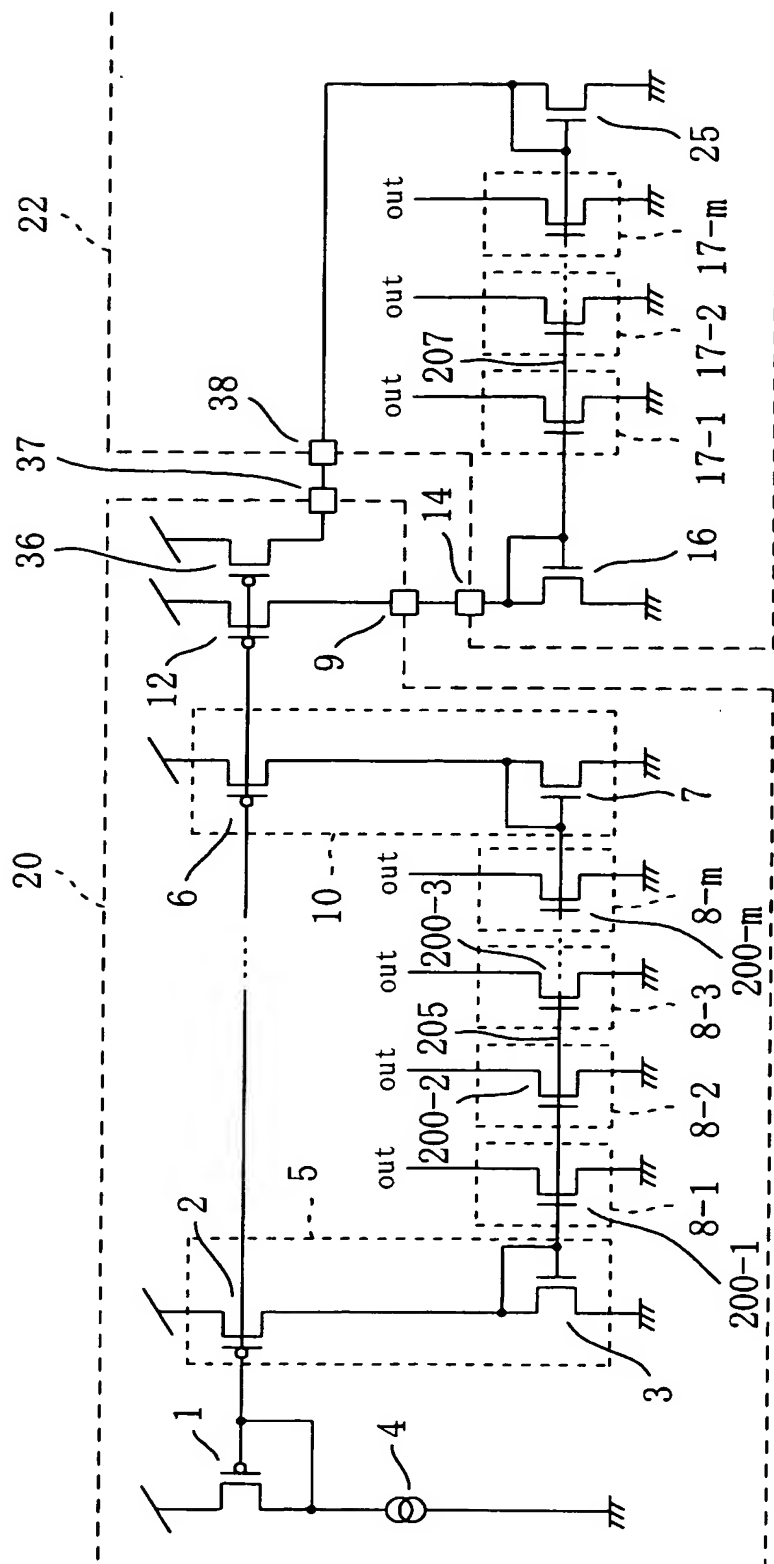
【書類名】 図面
【図 1】



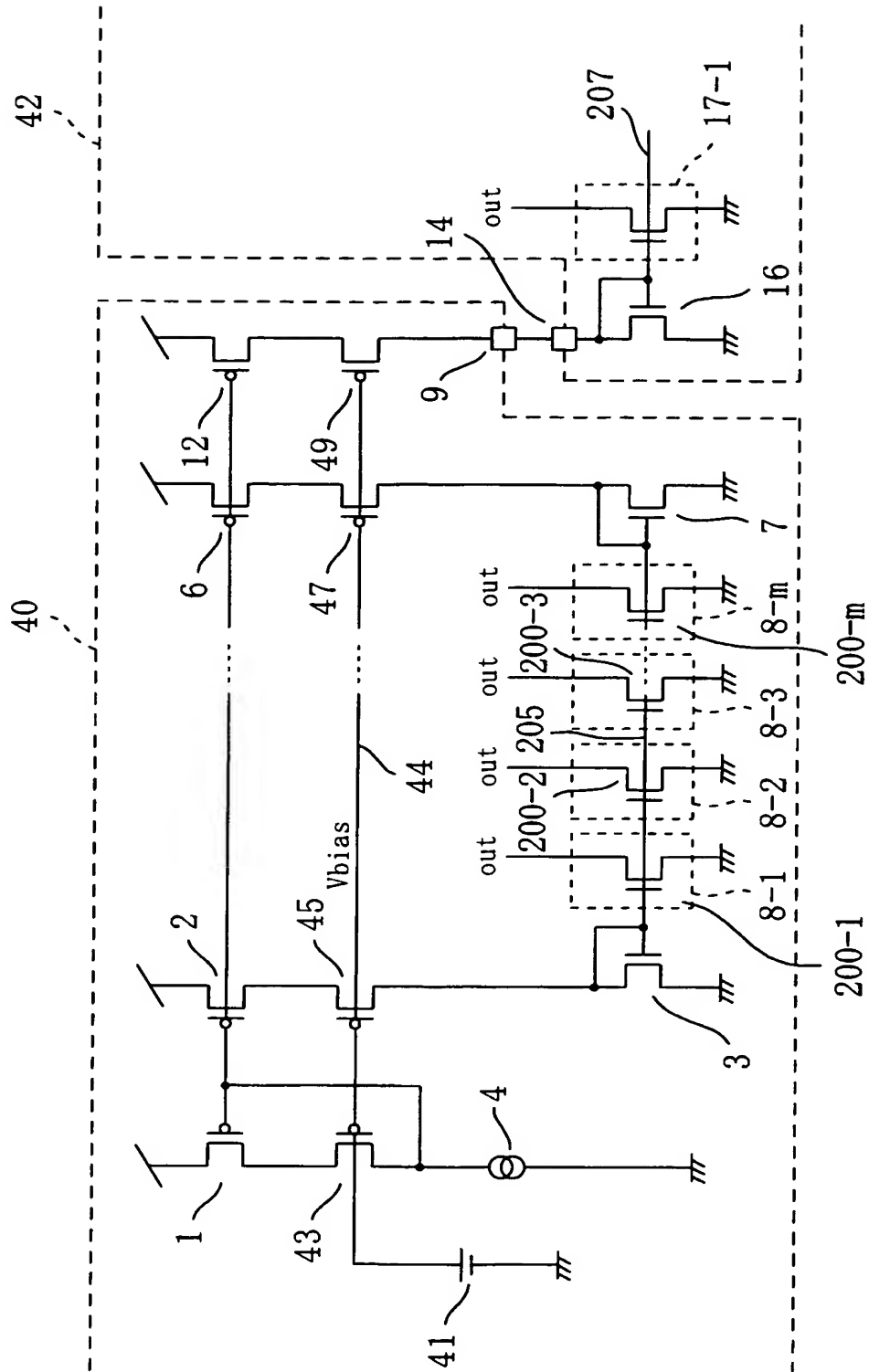
【図 2】



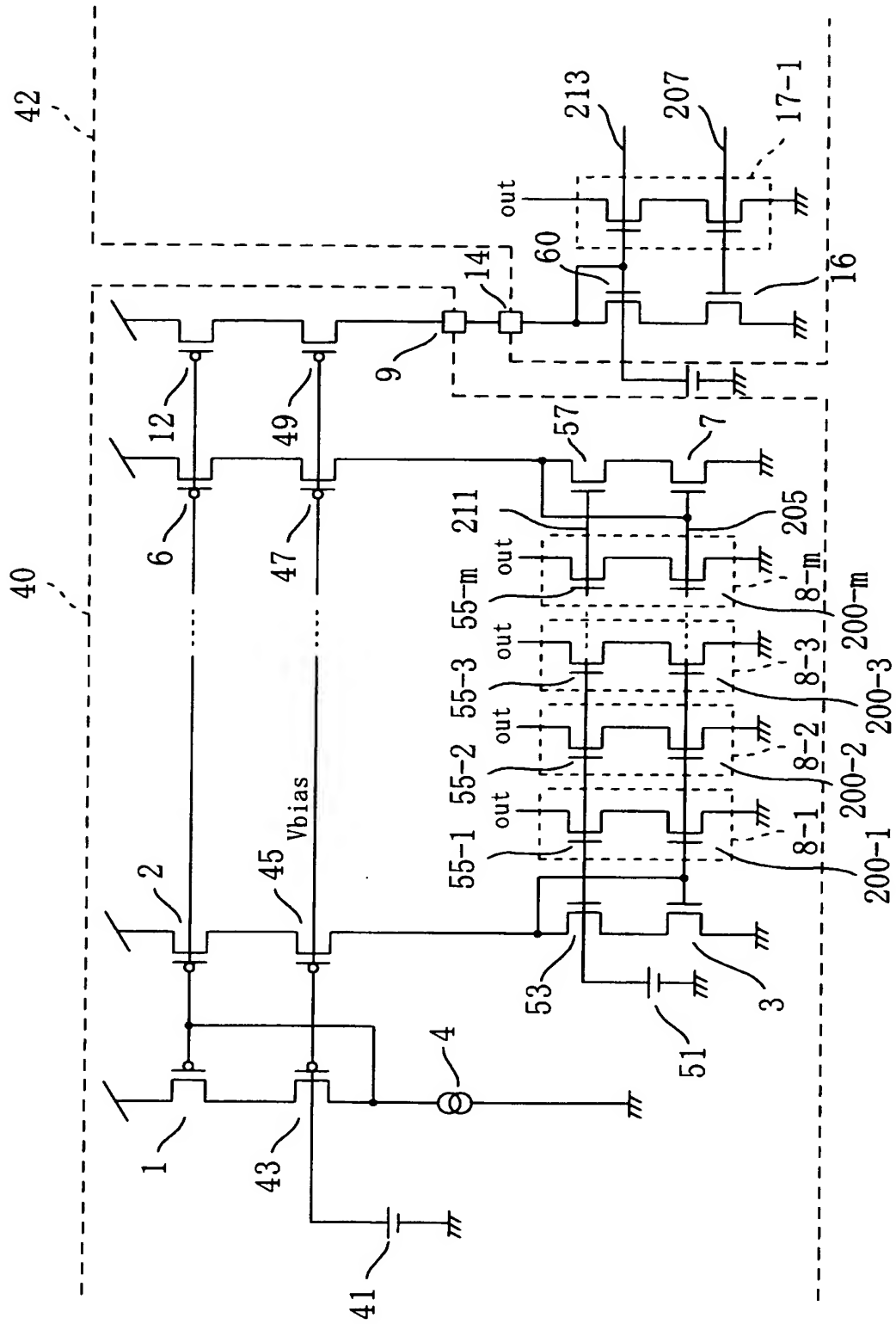
【図 4】



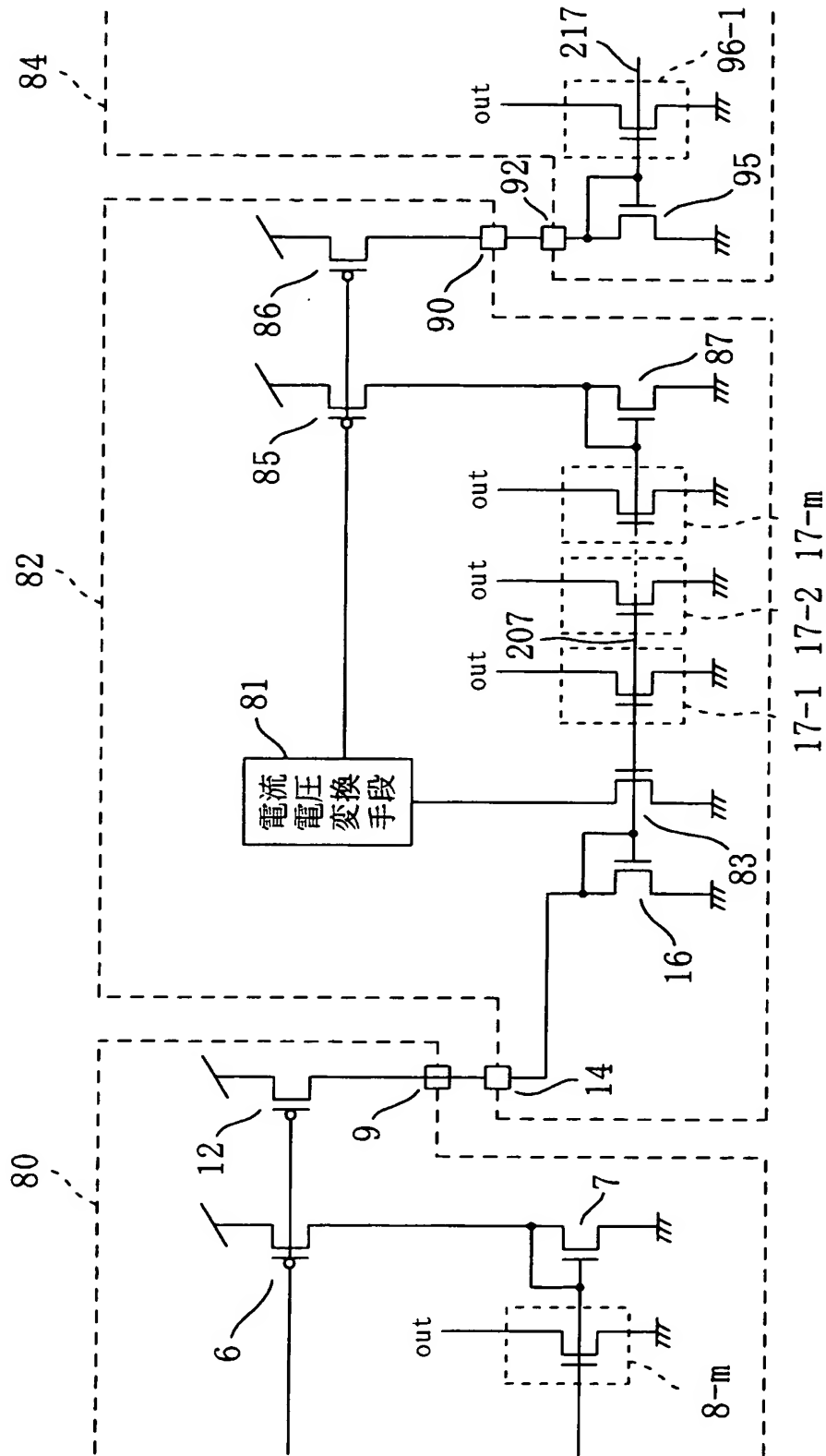
【図 5】



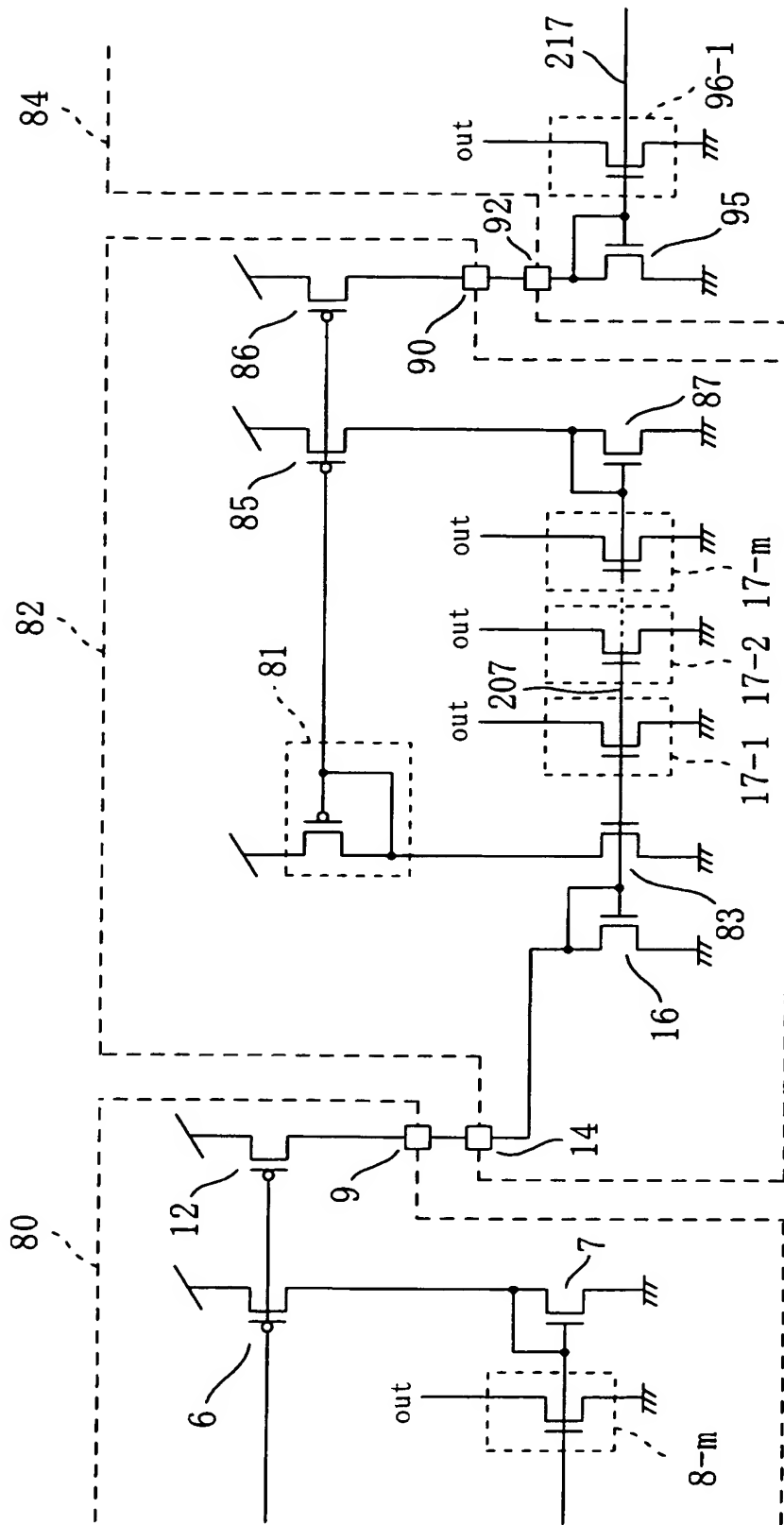
【図 6】



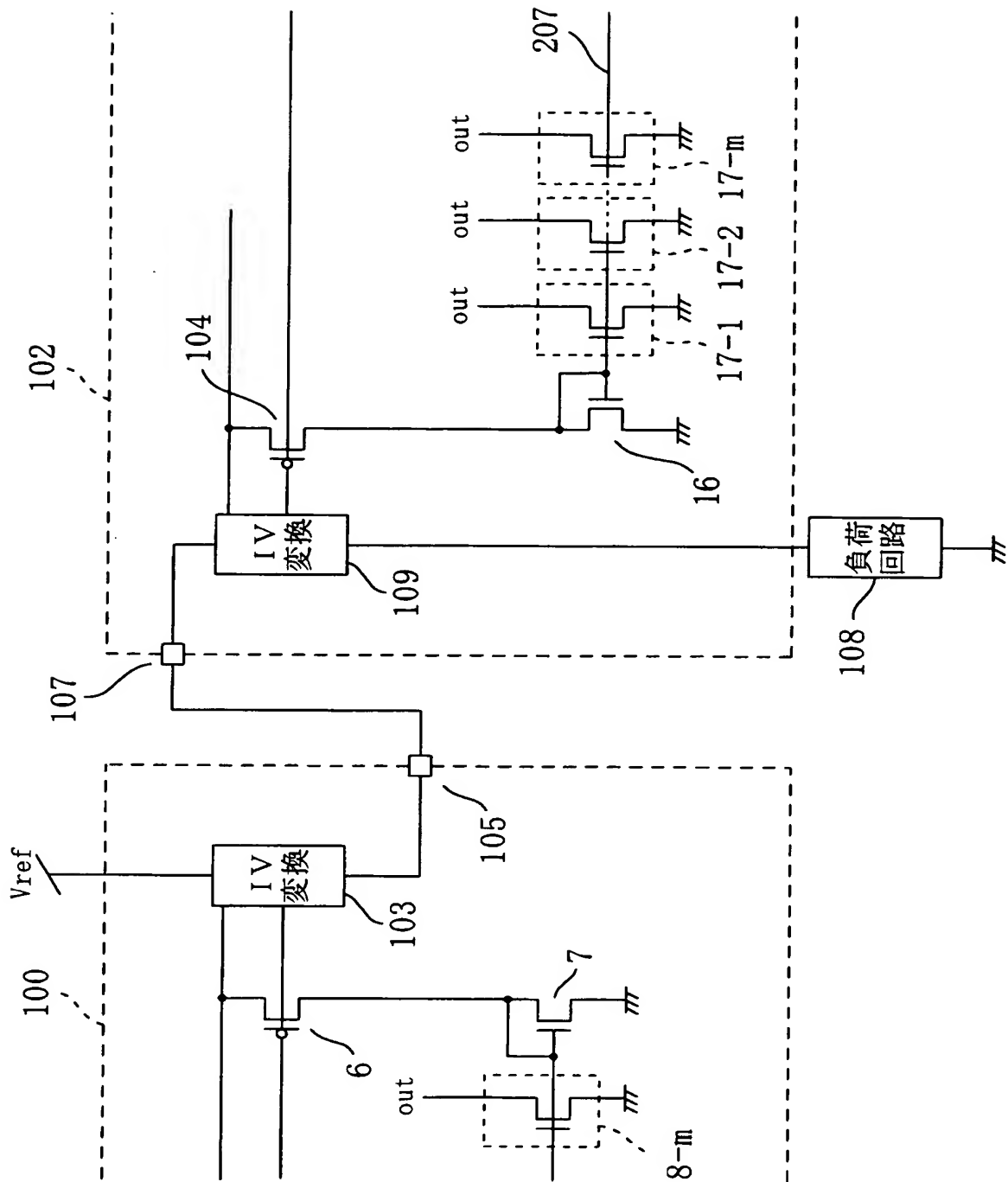
【図 7】



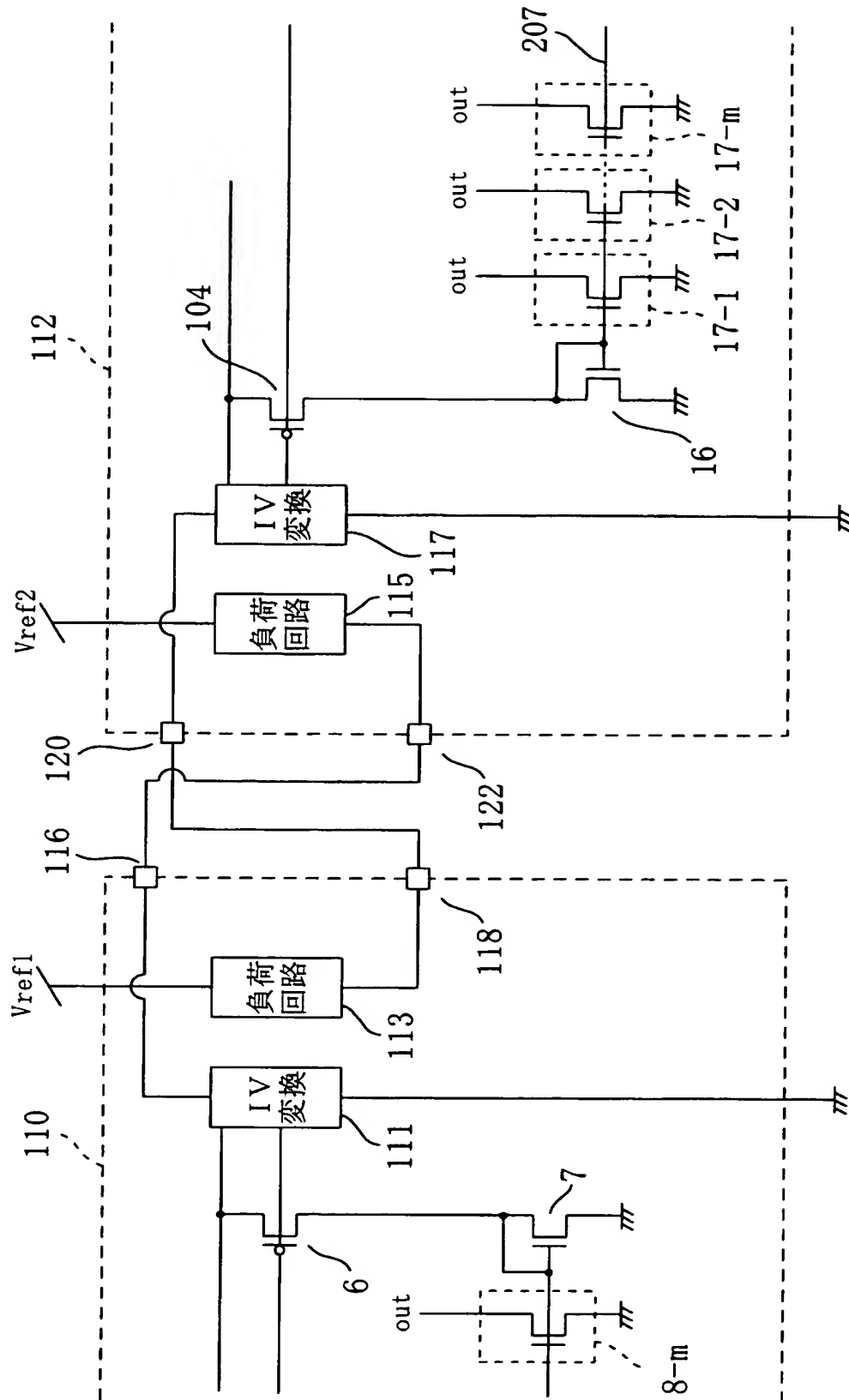
【図 8】



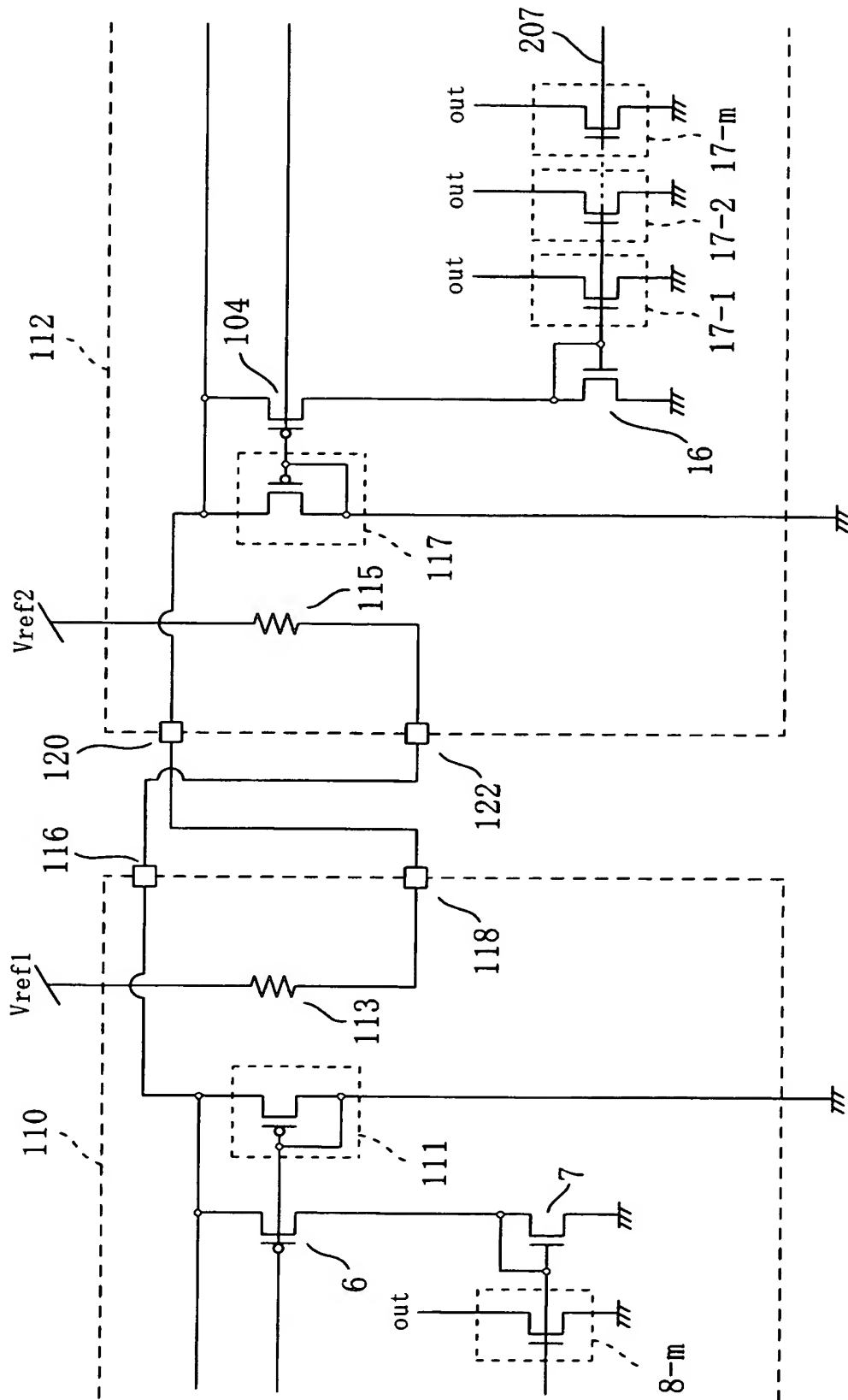
【図 9】



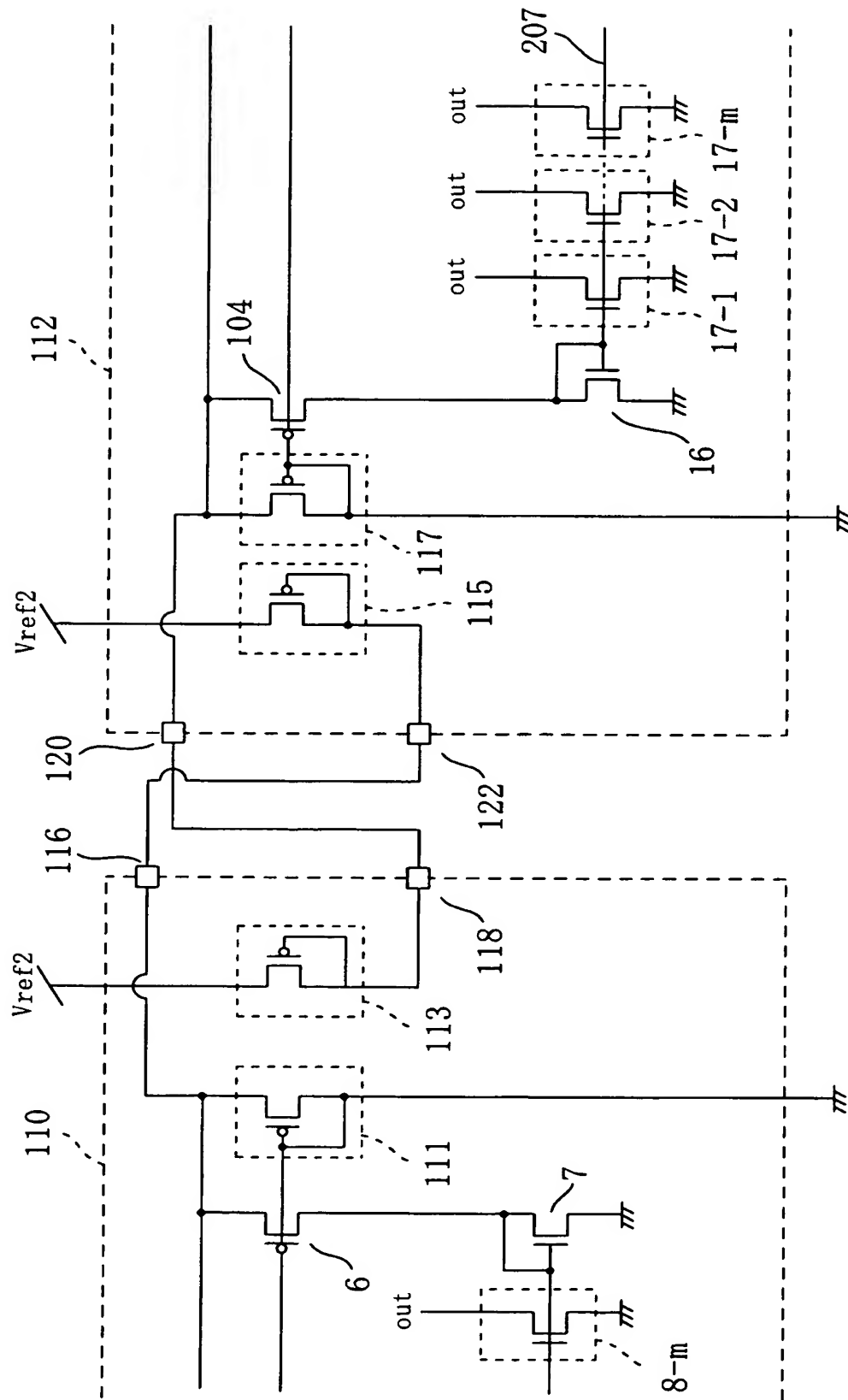
【図10】



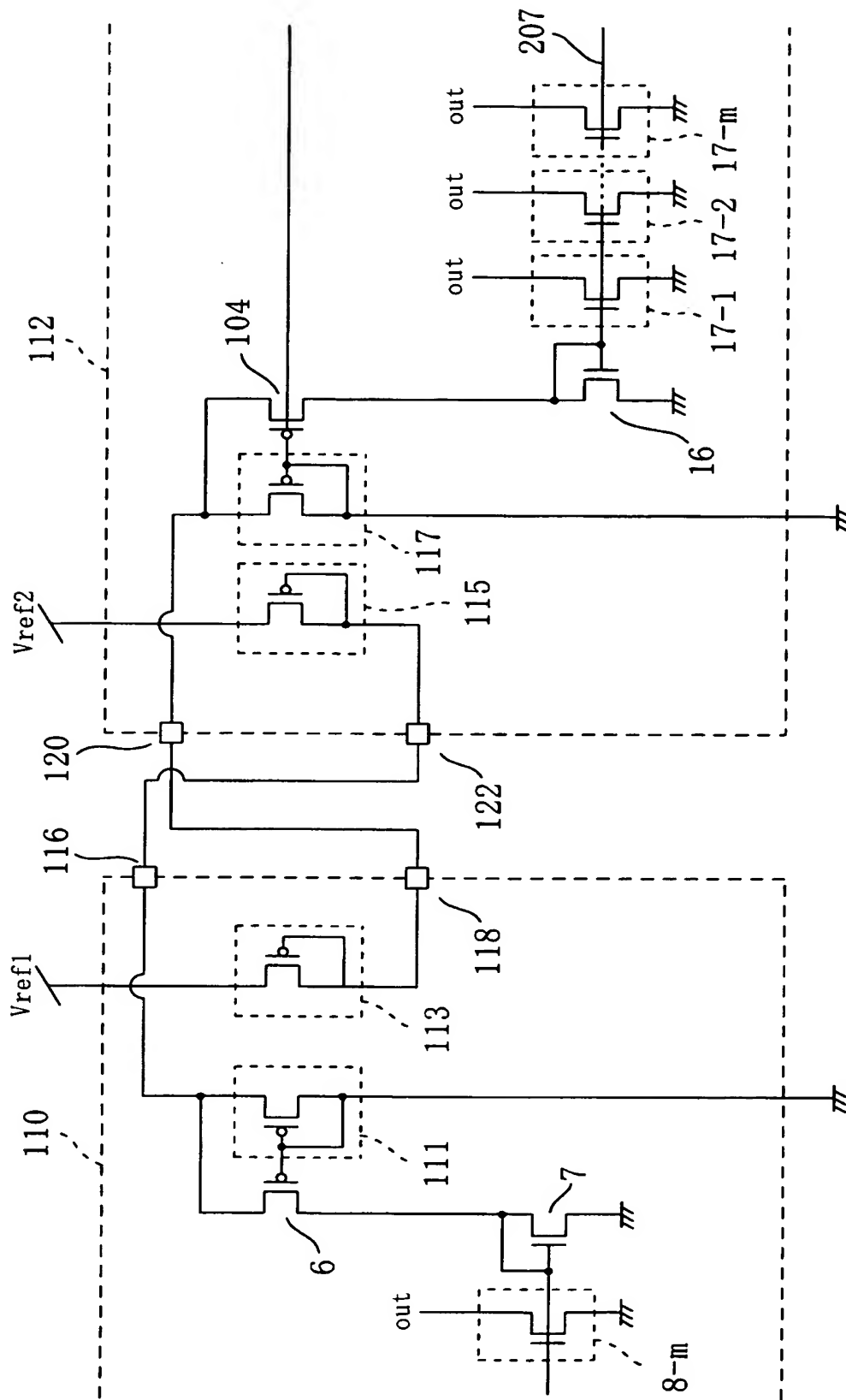
【図 11】



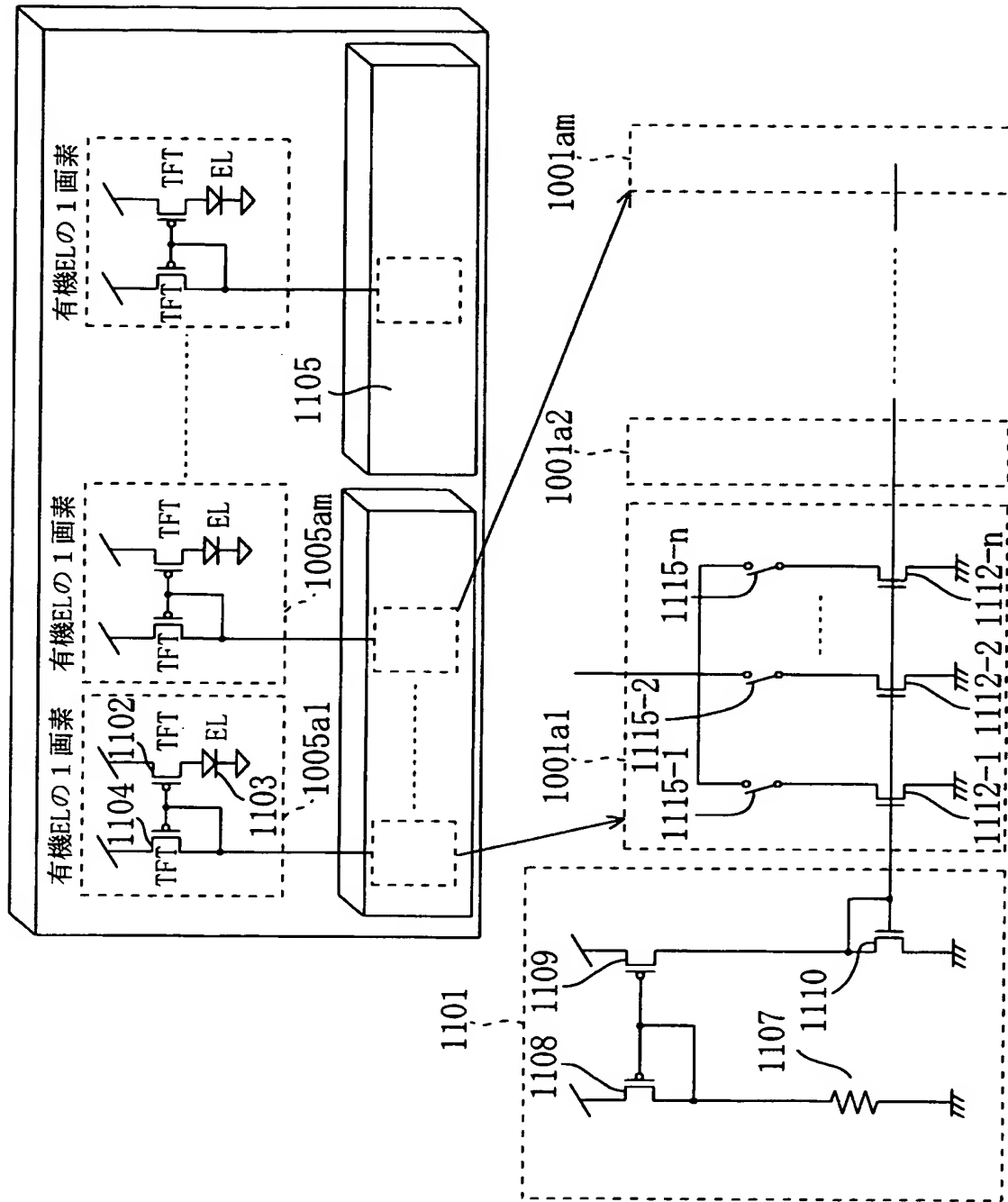
【図 12】



【図 13】



【図 14】



【書類名】 要約書**【要約】**

【課題】 複数のドライバLSIを用いて表示装置を駆動する場合に、異なるドライバLSI間での出力電流のばらつきを抑制する。

【解決手段】 第1のチップ20と第2のチップ22が隣接して配置される。第1のチップ20には、カレントミラーを含み、駆動電流を出力する電流供給部8と、電流分配用MISFET2と、電流分配用MISFET2に接続され、電流供給部8に電流を伝達する電流入力用MISFET3と、電流分配用MISFET2とカレントミラーを構成する第2の電流分配用MISFET12が設けられる。第2のチップ20には、第2の電流分配用MISFET12に接続された第2の電流入力用MISFET16が設けられており、互いに接続される電流分配用MISFETと電流入力用MISFETとはW/L比の比がいずれも等しくなっている。

【選択図】 図2

特願 2 0 0 3 - 2 8 1 8 4 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社